

PATENT  
JC511 U.S. PTO  
09/045118  
03/20/98

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Kousuke SUZUKI et al.

Serial No.: Not Yet Assigned

Filed: March 20, 1998

For: SEMICONDUCTOR DEVICE HAVING A SELF-ALIGNED CONTACT HOLE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents  
Washington, D.C. 20231

March 20, 1998

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 9-191239, filed on July 16, 1997

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said document.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
McLELAND & NAUGHTON



Ronald F. Naughton  
Reg. No. 24,616

Atty. Docket No.: 980268  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
RFN/yap

PATENT OFFICE  
JAPANESE GOVERNMENT

JC511 U.S. PTO  
09/045118  
03/20/98  


This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: July 16, 1997

Application Number: Japanese Patent Application  
No. 9-191239

Applicant(s): FUJITSU LIMITED  
FUJITSU VLSI LIMITED

October 13, 1997

Commissioner,  
Patent Office                    Hisamitsu Arai (Seal)

Certificate No.09-3080148

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC511 U.S. PTO  
09/045118  
03/20/98  


別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1997年 7月16日

出願番号  
Application Number:

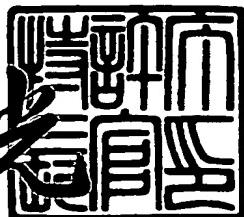
平成 9年特許願第191239号

出願人  
Applicant(s):

富士通株式会社  
富士通ヴィエルエスアイ株式会社

1997年10月13日

特許庁長官  
Commissioner,  
Patent Office

荒井 寿  


【書類名】 特許願  
【整理番号】 9607023  
【提出日】 平成 9年 7月16日  
【あて先】 特許庁長官 荒井 寿光 殿  
【国際特許分類】 H01L 21/31  
【発明の名称】 半導体装置およびその製造方法  
【請求項の数】 23  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 鈴木 浩助  
【発明者】  
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ  
イエルエスアイ株式会社内  
【氏名】 唐川 勝行  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【特許出願人】  
【識別番号】 000237617  
【氏名又は名称】 富士通ヴィエルエスアイ株式会社  
【代理人】  
【識別番号】 100070150  
【郵便番号】 150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階  
【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【包括委任状番号】 9708888

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッチングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッチングストップとして除去する工程と、

前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程となり、

前記第1の絶縁膜を形成する工程は、プラズマCVD法により、高周波出力を100W以下に設定して実行されることを特徴とする半導体装置の製造方法。

【請求項 2】 前記プラズマCVD法は、前記第1の絶縁膜が約1.5の屈折率を有するように実行されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】 前記プラズマCVD法は、SiH<sub>4</sub>とN<sub>2</sub>Oとをソースとして使い、N<sub>2</sub>OのSiH<sub>4</sub>に対する割合を約10以下に設定して実行されることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項 4】 前記プラズマCVD法は、高周波出力を50W~100Wの

範囲に設定して実行されることを特徴とする請求項1～3のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5】 基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッティングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッティングストップとして除去する工程と、

前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程とよりなり、

前記第1の絶縁膜を形成する工程は、CVD法により、SiH<sub>4</sub>とN<sub>2</sub>Oをソースとして、実行されることを特徴とする半導体装置の製造方法。

【請求項6】 前記CVD法は、N<sub>2</sub>OのSiH<sub>4</sub>に対する割合を5以下に設定して実行されることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記CVD法は、基板温度を、約825°C以下に設定して実行されることを特徴とする請求項5または6記載の半導体装置の製造方法。

【請求項8】 基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含

む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、シリケートガラスよりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッチングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッチングストップとして除去する工程と、

前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程となりり、

前記第1の絶縁膜を形成する工程は、Pを含むシリケートガラスを堆積することにより実行されることを特徴とする半導体装置の製造方法。

【請求項9】 前記シリケートガラスを堆積する工程は、Pを6wt%以下の範囲で前記シリケートガラス中に含有させることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記シリケートガラスを堆積する工程は、さらに前記シリケートガラス中にBを含有させることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】 前記シリケートガラスを堆積する工程は、前記シリケートガラス中に、Bを4wt%以下の範囲で含有させることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記第1の絶縁膜が形成された後、前記第2の絶縁膜が堆積されるまでの間に、前記第1の絶縁膜を熱処理することを特徴とする請求項1～11のうち、いずれか一項記載の半導体装置の製造方法。

【請求項13】 前記加熱処理は、急速加熱処理法により実行されることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項 14】 前記第1の絶縁膜を形成する工程と、前記第2の絶縁膜を形成する工程とは、同一の反応容器内において、前記基板を反応容器外に取り出すことなく実行されることを特徴とする請求項1～13のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 15】 前記拡散領域を形成する工程は、前記拡散領域表面にシリサイドを形成する工程を含み、前記シリサイド形成工程は、前記第1の絶縁膜の形成前に実行されることを特徴とする請求項1～14のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 16】 前記第1のエッティングストップの形成工程に先立って、前記拡散領域にコンタクトして、導体パターンを形成する工程を含むことを特徴とする請求項1～15のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 17】 基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜には、ゲート電極下のゲート絶縁膜中に界面準位を実質的に形成しない程度のH<sub>2</sub>Oが含まれることを特徴とする半導体装置。

【請求項 18】 前記第1の絶縁膜中には、約1.5の屈折率を有する酸化膜よりなることを特徴とする請求項17記載の半導体装置。

【請求項 19】 基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記第2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜は、6wt%以下の濃度のPを含むPSGよりなることを特徴とする半導体装置。

【請求項20】 基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記第2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜は、4wt%以下の濃度のBを含むBPSGよりなることを特徴とする半導体装置。

【請求項21】 前記ゲート電極上には、前記拡散領域にコンタクトする導体パターンが、前記側壁酸化に沿って、前記側壁酸化膜と前記第1の絶縁膜との間に延在することを特徴とする請求項17~20のうち、いずれか一項記載の半導体装置。

【請求項22】 前記拡散領域表面には、シリサイド層が形成されていることを特徴とする請求項17~21のうち、いずれか一項記載の半導体装置。

【請求項23】 さらに、前記ゲート電極表面に、シリサイド層が形成されていることを特徴とする請求項22記載の半導体装置。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は一般に半導体装置に関し、特に微細化され高速動作する半導体装置およびその製造方法に関する。

微細化技術の発展に伴い、MOSトランジスタ等の電界効果半導体装置の動作速度は年々向上している。一方、このような非常に微細化された電界効果半導体装置では古典的なグラジュアルチャネル近似からのずれが顕著になり、いわゆるショートチャネル効果が現れやすくなる。ショートチャネル効果が現れると、ドレイン電流をゲート電圧で制御できなくなる等の問題が生じる。

## 【0002】

このため、従来より、このような非常に微細化された電界効果半導体装置では、拡散領域の厚さをゲート長に対応して可能な限り減少させることができた。

一方、拡散領域の深さをこのように非常に浅くした場合、拡散領域の抵抗が増大してしまう問題が生じるため、従来より、拡散領域の表面に $\text{C}\circ\text{S}\text{i}_2$ 等の低抵抗シリサイド層を自己整合的に形成することが提案されている。例えば特開平7-115198を参照。

## 【0003】

一方、従来より、非常に微細化された半導体装置を作る技術として、いわゆる自己整合コンタクト構造が提案されている。例えば特開平8-274278を参考。

## 【0004】

## 【従来の技術】

図22(A)～図24(H)は、従来の自己整合コンタクト構造の形成工程を説明する図である。

図22(A)を参照するに、まずP型Si基板1上にゲート酸化膜2とフィールド酸化膜2Aが形成され、次に図22(B)の工程で前記図22(A)の構造上にさらにポリシリコン層3が堆積される。堆積されたポリシリコン層3は $P^+$ のイオン注入により $n^+$ 型にドープされ、さらに図22(C)の工程でパターニ

ングされ、ゲート電極3Aが形成される。図22(C)の工程では、さらにこのようにして形成されたゲート電極3AをマスクにAs<sup>+</sup>のイオン注入を行い、ゲート電極3Aの両側に、浅いn<sup>+</sup>型の拡散領域1A, 1Bを自己整合的に形成する。

#### 【0005】

次に、図23(D)の工程において、前記図22(C)の構造上にSiO<sub>2</sub>膜をCVD法により一様に堆積し、さらにこれを基板1の面に実質的に垂直に作用する異方性エッチングによりエッチングすることにより、前記ゲート電極3Aの両側に側壁酸化膜3a, 3bを形成する。さらに、図示の実施例では前記ゲート電極3Aおよび側壁酸化膜3a, 3bをマスクにAs<sup>+</sup>のイオン注入を行うことにより、拡散領域1C, 1Dをそれぞれ拡散領域1A, 1Bに部分的に重なるように形成し、いわゆるLDD (lightly doped drain) 構造を形成する。

#### 【0006】

さらに、図23(E)の工程において、前記図23(D)の構造上に一様にSiN膜4をCVD法あるいはスパッタリングにより堆積し、さらに図23(F)の工程で前記SiN膜4上にSiO<sub>2</sub>あるいはPSG, BPSG等よりなる層間絶縁膜5を堆積する。層間絶縁膜5には、さらに前記拡散領域1Cに対応してコンタクトホール5Aが、また拡散領域1Dに対応してコンタクトホール5Bが、異方性ドライエッチング法等により形成される。ただし、コンタクトホール5A, 5Bは対応する拡散領域1Cあるいは1Dよりも実質的に大きく形成して差し支えなく、このため深いコンタクトホールを形成する際に問題となる解像度の問題は生じない。

#### 【0007】

コンタクトホール5A, 5Bを形成するドライエッチングは前記SiN膜4において停止し、その結果、図23(F)の状態ではコンタクトホール5A, 5Bの底にSiN膜4が露出する。そこで、図24(G)の工程において前記SiN膜4の露出部分がエッチングにより選択的に除去され、さらに図24(H)の工程において、ゲート酸化膜2のうち前記コンタクトホール5A, 5Bの底に露出している部分が前記Si基板1に対して選択的にエッチング除去され、前記拡散

領域 1 C, 1 D を露出する微細な開口部 1 c, 1 d がそれぞれ形成される。

#### 【0008】

開口部 1 c, 1 d はフィールド酸化膜 2 A および側壁酸化膜 3 a あるいは 3 b により画成されており、マスク工程を使うことなく自己整合的に形成される。すなわち、開口部 1 c, 1 d は半導体装置が非常に微細化した場合でも、フォトリソグラフィの解像限界に妨げられることなく、安定に、再現性良く形成できる。また、先にも説明したように、コンタクトホール 5 A, 5 B は開口部 1 c あるいは 1 d に対応して微細化する必要がないため、コンタクトホール 5 A, 5 B を形成するフォトリソグラフィは容易に実行することができる。

#### 【0009】

##### 【発明が解決しようとする課題】

このように、図 22 (A) ~ 図 24 (H) に示す従来の工程は微細化された半導体装置の製造に非常に有効であるが、先にも説明したように、このような微細化された半導体装置では浅い拡散領域 1 C, 1 D の抵抗が高くなるため、高速動作を要求される半導体装置では、拡散領域 1 C, 1 D の表面に低抵抗シリサイド層を形成するのが望ましい。このようなシリサイド層の形成を行おうとすると、先に説明した図 23 (D) の工程において、ゲート酸化膜 2 のうちの拡散領域 1 C, 1 D を覆っている部分をエッティングにより除去し、露出された拡散領域 1 C, 1 D の表面に C あるいは Ti 等の金属層を堆積し、自己整合的にメタルシリサイドを形成することが考えられる。堆積された金属層はメタルシリサイドの形成の後、エッティング等により除去される。自己整合シリサイドの形成については、例えば特開平 7-115198 を参照。

#### 【0010】

しかし、このような構造では、次の図 23 (E) の工程で SiN 膜 4 を堆積した場合、SiN 膜 4 は拡散領域 1 C, 1 D 表面のシリサイド層に直接にコンタクトするため、図 24 (G) の工程においてコンタクトホール 5 A あるいは 5 B 底部の SiN 膜 4 をエッティングにより除去した場合、エッティングが拡散領域 1 C, 1 D にまでおよび、これを損傷させる危険がある。

#### 【0011】

このため、このようなシリサイドを拡散領域に形成した構造の半導体装置において自己整合コンタクトを形成しようとすると、前記図23(E)の工程においてSiN膜4を堆積する前に、前記ゲート酸化膜2に対応して別のSiO<sub>2</sub>膜をさらに堆積しておく必要がある。かかるSiO<sub>2</sub>膜はSiN膜4のエッティングストップとして作用し、SiN膜4をエッティングにより除去する際に拡散領域1Cあるいは1Dに損傷が及ぶのを防止する。一方、このようにして形成されたSiO<sub>2</sub>は、拡散領域1Cあるいは1Dに実質的な損傷を与えることなく、選択エッティングにより容易に除去することができる。

#### 【0012】

このようなエッティングストップとして作用するSiO<sub>2</sub>膜はCVD工程により形成するのが一般的であるが、シリサイドを浅い拡散領域表面に形成した半導体装置では、SiO<sub>2</sub>膜をCVD法で形成した場合、堆積時の高い温度の影響により、シリサイドを構成する金属元素が拡散領域1Cあるいは1Dを横切ってSi基板にまで到達し、拡散領域に短絡を生じてしまう恐れがある。このため、前記SiO<sub>2</sub>エッティングストップ膜は、従来より低温堆積が可能なプラズマCVD法を使い、典型的には500°C以下の低い基板温度で形成されていた。

#### 【0013】

しかし、このような低温で形成されたSiO<sub>2</sub>膜は膜中にH<sub>2</sub>Oを含むことが多く、しかも形成された後、図23(E)に示す工程においてSiN膜4で覆われるため、膜中のH<sub>2</sub>Oが脱出するのは困難である。このようにして蓄積されたH<sub>2</sub>Oは膜中においてOHとHの形で存在するが、特にOHがゲート酸化膜2近傍に拡散した場合、界面準位（電子捕獲準位）を形成しやすい。

#### 【0014】

図25は、このようなSiO<sub>2</sub>エッティングストップを使った自己整合コンタクト構造を示す図である。ただし、図25中、先に説明した部分には対応する参照符号を付し、説明を省略する。

図25を参照するに、図示の構造は前記ゲート酸化膜2上に、前記側壁酸化膜3a, 3bで挟まれたゲート電極3Aを覆うようにSiO<sub>2</sub>よりなるエッティングストップ膜6が、プラズマCVD法を使った低温堆積により形成され、前記Si

N膜4はSiO<sub>2</sub>膜6を覆うように形成されている。

#### 【0015】

このような構造では、先にも説明したように、低温堆積されたSiO<sub>2</sub>膜6中に含まれるH<sub>2</sub>Oの脱出が、膜6上にSiN膜4が存在するために困難で、膜6中に蓄積されたOHがゲート酸化膜2とSi基板1との界面に拡散し、電子捕獲準位を形成する。このような電子捕獲準位はゲート電極直下のチャネル領域で発生するホットエレクトロンをゲート酸化膜2中に捕獲する作用をし、捕獲された電子により半導体装置のしきい値電圧が変化してしまう等の問題が生じる。

#### 【0016】

また、図22(A)～図24(H)に示す自己整合コンタクト構造はSRAM等のいわゆるローカル配線構造を有する高速半導体メモリ装置にも使うことが考えられるが、このようなローカル配線構造を有する半導体装置では、前記拡散領域表面にシリサイドを形成した場合、シリサイドとローカル配線構造を形成する金属層との反応が生じる。かかる問題を回避するためにも、SiO<sub>2</sub>エッチングストップ膜6の堆積は低温で行う必要があるが、かかる低温堆積したSiO<sub>2</sub>膜6は、上に説明した問題を引き起こす。

#### 【0017】

そこで、本発明は上記の課題を解決した半導体装置およびその製造方法を提供することを概括的課題とする。

本発明のより具体的な課題は、自己整合コンタクト構造を有する半導体装置において、窒化膜エッチングストップの下層に形成される酸化膜エッチングストップが含有するH<sub>2</sub>Oの量を、拡散領域表面に形成されたシリサイド層からの前記拡散領域中への金属元素の拡散を生じることなく、あるいは拡散領域表面に形成されたシリサイド層と前記拡散領域にコンタクトするローカル配線層との反応を生じることなく、最小化することにある。

#### 【0018】

##### 【課題を解決するための手段】

本発明は、上記の課題を、

請求項1に記載したように、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッティングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッティングストップとして除去する工程と、

前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程とによりなり、

前記第1の絶縁膜を形成する工程は、プラズマCVD法により、高周波出力を100W以下に設定して実行されることを特徴とする半導体装置の製造方法により、または

請求項2に記載したように、

前記プラズマCVD法は、前記第1の絶縁膜が約1.5の屈折率を有するように実行されることを特徴とする請求項1記載の半導体装置の製造方法により、または

請求項3に記載したように、

前記プラズマCVD法は、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ とをソースとして使い、 $\text{N}_2\text{O}$ の $\text{SiH}_4$ に対する割合を約10以下に設定して実行されることを特徴とする請求項1または2記載の半導体装置の製造方法により、または

請求項4に記載したように、

前記プラズマCVD法は、高周波出力を50W～100Wの範囲に設定して実行されることを特徴とする請求項1～3のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項5に記載したように、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッチングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッチングストップとして除去する工程と、

前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程となりり、

前記第1の絶縁膜を形成する工程は、CVD法により、SiH<sub>4</sub>とN<sub>2</sub>Oをソースとして、実行されることを特徴とする半導体装置の製造方法により、または請求項6に記載したように、

前記CVD法は、N<sub>2</sub>OのSiH<sub>4</sub>に対する割合を5以下に設定して実行されることを特徴とする請求項5記載の半導体装置の製造方法により、または

請求項7に記載したように、

前記CVD法は、基板温度を、約825°C以下に設定して実行されることを特徴とする請求項5または6記載の半導体装置の製造方法により、または

請求項 8 に記載したように、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、

前記自己整合開口部を形成する工程は、

前記側壁酸化膜およびさらに前記拡散領域を覆うように、シリケートガラスよりなる第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に、前記第 1 の絶縁膜とは組成の異なった第 2 の絶縁膜を堆積する工程と、

前記第 2 の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第 2 の絶縁膜をエッティングストップとして使って形成する工程と、

前記コンタクトホールの底において、前記第 2 の絶縁膜を、前記第 1 の絶縁膜をエッティングストップとして除去する工程と、

前記コンタクトホールの底において、前記第 1 の絶縁膜を、前記拡散領域に対して選択的に除去する工程となり、

前記第 1 の絶縁膜を形成する工程は、P を含むシリケートガラスを堆積することにより実行されることを特徴とする半導体装置の製造方法により、または

請求項 9 に記載したように、

前記シリケートガラスを堆積する工程は、P を 6 wt % 以下の範囲で前記シリケートガラス中に含有させることを特徴とする請求項 8 記載の半導体装置の製造方法により、または

請求項 10 に記載したように、

前記シリケートガラスを堆積する工程は、さらに前記シリケートガラス中に B を含有させることを特徴とする請求項 8 記載の半導体装置の製造方法により、または

請求項 11 に記載したように、

前記シリケートガラスを堆積する工程は、前記シリケートガラス中に、Bを4wt%以下の範囲で含有させることを特徴とする請求項10記載の半導体装置の製造方法により、または

請求項12に記載したように、

前記第1の絶縁膜が形成された後、前記第2の絶縁膜が堆積されるまでの間に、前記第1の絶縁膜を熱処理することを特徴とする請求項1~11のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項13に記載したように、

前記加熱処理は、急速加熱処理法により実行されることを特徴とする請求項12記載の半導体装置の製造方法により、または

請求項14に記載したように、

前記第1の絶縁膜を形成する工程と、前記第2の絶縁膜を形成する工程とは、同一の反応容器内において、前記基板を反応容器外に取り出すことなく実行されることを特徴とする請求項1~13のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項15に記載したように、

前記拡散領域を形成する工程は、前記拡散領域表面にシリサイドを形成する工程を含み、前記シリサイド形成工程は、前記第1の絶縁膜の形成前に実行されることを特徴とする請求項1~14のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項16に記載したように、

前記第1のエッチングストッパの形成工程に先立って、前記拡散領域にコンタクトして、導体パターンを形成する工程を含むことを特徴とする請求項1~15のうち、いずれか一項記載の半導体装置の製造方法により、または

請求項17に記載したように、

基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜には、ゲート電極下のゲート絶縁膜中に界面準位を実質的に形成しない程度のH<sub>2</sub>Oが含まれることを特徴とする半導体装置により、または請求項18に記載したように、

前記第1の絶縁膜中には、約1.5の屈折率を有する酸化膜よりなることを特徴とする請求項17記載の半導体装置により、または

請求項19に記載したように、

基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜は、6wt%以下の濃度のPを含むPSGよりなることを特徴とする半導体装置により、または

請求項20に記載したように、

基板と、前記基板上に形成されたゲート電極と、前記基板中に前記ゲート電極に隣接して形成された拡散領域と、前記ゲート電極の側壁面上に形成された側壁酸化膜と、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部とを含む半導体装置において、

さらに前記ゲート電極上に、前記側壁酸化膜を部分的に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された、組成の異なる第2の絶縁膜と、

前記第2の絶縁膜上に堆積された層間絶縁膜と、

前記層間絶縁膜中に、前記第1および第2の絶縁膜を横切って、前記自己整合開口部を露出するように形成されたコンタクトホールとを含み、

前記第1の絶縁膜は、4wt%以下の濃度のBを含むBPSGよりなることを特徴とする半導体装置により、または

請求項21に記載したように、

前記ゲート電極上には、前記拡散領域にコンタクトする導体パターンが、前記側壁酸化に沿って、前記側壁酸化膜と前記第1の絶縁膜との間に延在することを特徴とする請求項17~20のうち、いずれか一項記載の半導体装置により、または

請求項22に記載したように、

前記拡散領域表面には、シリサイド層が形成されていることを特徴とする請求項17~21のうち、いずれか一項記載の半導体装置により、または

請求項23に記載したように、

さらに、前記ゲート電極表面に、シリサイド層が形成されていることを特徴とする請求項22記載の半導体装置により、解決する。

#### [作用]

本発明によれば、前記第1の絶縁膜をプラズマCVD法により低温で形成する際に、印加される高周波電力を下げるにより、プラズマ中でのH<sub>2</sub>Oの生成が抑制され、膜中に取り込まれるH<sub>2</sub>Oの量を実質的に減少させることができる。また、前記第1の絶縁膜としてPやBを含むPSG、あるいはBPSG等を使うことにより、PやBのH<sub>2</sub>Oに対するゲッタリング作用により、膜中に含まれるH<sub>2</sub>Oの量を実質的に減少させることができる。さらに、前記第1の絶縁膜をプラズマCVD法あるいは高温CVD法により堆積する際に、SiH<sub>4</sub>のN<sub>2</sub>Oに対する割合を増大させることにより、膜中のSi-H結合が増加し、H<sub>2</sub>Oの生成が抑制される。

## 【0019】

本発明では前記第1の絶縁膜が低温で生成されるため、前記拡散領域表面に低抵抗シリサイド層が形成されている場合でも、前記第1の絶縁膜形成の際の熱処理でシリサイド中の金属元素が拡散領域中に拡散してしまい、短絡を生じる等の問題点が回避される。前記高温CVD法あるいは高温熱処理を行う場合でも、実際の高温での熱処理期間が短い急速加熱処理法を使うことにより、シリサイド拡散の問題を回避することができる。その結果、微細化された非常に浅い拡散領域において生じる抵抗増大の問題が解決され、高速動作する半導体装置が得られる。

## 【0020】

図1～図11は、前記第1の絶縁膜をプラズマCVD法により形成した場合に膜中に取り込まれるH<sub>2</sub>Oの量を、TDS(thermal desorption spectroscopy)により調べた結果を示す。このうち、図1は対照標準試料であり、前記第1の絶縁膜(SiO<sub>2</sub>膜)を基板温度を480°C、高周波電力を200Wに設定して形成した場合を、一方図2は基板温度を400°C、高周波出力を従来より使われている200Wに設定して形成した場合を示す。ただし、プラズマCVD工程は、並行平板型のプラズマCVD装置を使い、SiH<sub>4</sub>とN<sub>2</sub>Oとを気相原料として、典型的には1:40の比率で供給することにより行った。また、TDS分析は、得られた基板を図示の温度範囲で加熱しながら、放出される化学種、特にH<sub>2</sub>OおよびHOの量を質量分析により求めることにより実行され、図中横軸は時間を、また左の縦軸は放出された化学種の分圧をTorrを単位として示している。

## 【0021】

図1、2を参照するに、200WのプラズマCVD法により堆積されたSiO<sub>2</sub>膜では、加熱開始直後から実質的な量のH<sub>2</sub>OおよびOHの放出が生じ、100°Cに達してもなおこれが続くことがわかる。

これに対し、図3、図4は、それぞれSiO<sub>2</sub>膜のプラズマCVD法による堆積時の高周波電力を100Wおよび50Wに設定した場合のH<sub>2</sub>OおよびOHの放出特性を示す。図3、4を参照するに、堆積時の高周波電力を低減することに

より、膜中に取り込まれるH<sub>2</sub>OおよびOHの割合が実質的に減少することがわかる。

#### 【0022】

さらに、図5は、前記プラズマCVD工程において、基板温度を400°C、高周波電力を100W、また気相原料として供給されるSiH<sub>4</sub>に対するN<sub>2</sub>Oの比を10とした場合の、膜中に取り込まれたH<sub>2</sub>OおよびOHの放出特性を示す。この場合には、得られるSiO<sub>2</sub>膜の屈折率が約1.5となる。これに対し、例えば図3の例では、得られるSiO<sub>2</sub>膜の屈折率は約1.47、また図1の比較対照例の場合、屈折率は約1.45である。図5を参照するに、得られるSiO<sub>2</sub>膜中に取り込まれるH<sub>2</sub>OおよびN<sub>2</sub>Oの割合は、図3の場合よりもさらに減少している。これは、形成されたSiO<sub>2</sub>膜中のSi-H結合が増加することによるものと考えられる。

#### 【0023】

これに対し、図6に示すようにSiH<sub>4</sub>に対するN<sub>2</sub>Oの比をさらに増大させた場合には、膜中に取り込まれるH<sub>2</sub>OおよびOHの量は再び増加に転ずる。このことから、プラズマCVDにより第1の絶縁膜に相当する酸化膜を堆積する場合には、酸化膜の屈折率を約1.5以上、1.63以下に設定するのが好ましいことがわかる。

#### 【0024】

図7は、堆積時の高周波電力を200Wとした図2の結果から図1の比較対照実験の結果を差し引いた差分を示す図である。図7を参照するに、先に図2で説明したように、堆積された酸化膜は多量のH<sub>2</sub>OおよびOHを含んでいる。これに対し、図8は、高周波電力を100Wとした図3の結果から図1の結果を差し引いた同様な図であるが、H<sub>2</sub>O、OHが放出される割合が大きく減少しているのがわかる。さらに、図9は、高周波電力を50Wとした図4の結果から図1の結果を差し引いた差分を示す図である。図9を参照するに、H<sub>2</sub>O、OHの放出はさらに減少しているのがわかる。さらに、図10は、前記図5の屈折率が1.5の酸化膜に対する結果から図1の結果を差し引いた差分を示す図である。この場合には、H<sub>2</sub>O、OHの放出量はさらに減少していることがわかる。これに対

し、図11は、図7に示す屈折率が1.63の酸化膜に対する結果から図1の比較対照例の結果を差し引いた差分を示すが、図11よりわかるように、膜中に取り込まれるH<sub>2</sub>OおよびOHの量は再び増加していることがわかる。

#### 【0025】

以上を要約するに、図25に示す構造の半導体装置を形成する場合、下側の絶縁膜6中に取り込まれるH<sub>2</sub>OあるいはOHの量は、膜6の堆積をプラズマCVD法で行う場合、プラズマ生成のための高周波電力の値を約100W以下に設定することにより、あるいは供給する気相原料SiH<sub>4</sub>とN<sub>2</sub>Oの比率を、膜6が約1.5の屈折率を有するように調整することにより、最小化することが可能である。

#### 【0026】

図25の絶縁膜6中に取り込まれるH<sub>2</sub>OあるいはOHの量は、膜6中にPあるいはBを導入して、絶縁膜6の組成をPSGあるいはBPSGとすることによっても最小化することができる。

図12は、PSG膜およびBPSG膜を水蒸気に曝露した場合における、D<sub>2</sub>Oの膜中への侵入の様子を、異なった膜の組成について示す図である(Pramanik, D., Solid State Technology, September 1995, pp.69 - 78)。

#### 【0027】

図12を参照するに、PSG, BPSGのいずれも場合にも、膜中に侵入するOHの量は、膜中のPあるいはBが増加するほど減少するのがわかるが、これはPがPSG膜あるいはBPSG膜中においてH<sub>2</sub>Oのゲッタリング作用を生じるためであると考えられる。このようなPSGあるいはBPSGを図25に示す絶縁膜6として使う場合には、Pの量は6wt%以下に、またBの量は4wt%以下に設定するのが好ましい。

#### 【0028】

さらに図25の構造において、絶縁膜6は基板温度が約800°C以下に保持されるなら、通常の高温CVD法により形成することもできる。この場合、膜6中に取り込まれるH<sub>2</sub>Oの量を最小化するために、先のプラズマCVDの場合と同様に、N<sub>2</sub>Oに対するSiH<sub>4</sub>の比を増大させ、膜中にSi-H結合を増大さ

せてもよい。このような、Si-H結合を多く含んでいる膜は、屈折率が高くなる傾向を示す。また、図25の構造において、前記SiN膜4の堆積に先立って前記酸化膜6を熱処理し、H<sub>2</sub>Oを放出させてもよい。このような熱処理は、急速加熱処理法を使うことにより、拡散領域を覆うシリサイド層に対する影響を最小化することができる。

## 【0029】

## 【発明の実施の形態】

## 【第1実施例】

図13(A)～15(I)は、本発明の第1実施例によるMOSトランジスタの製造方法を説明する図である。

図13(A)を参照するに、まず図22(A)のp型Si基板1に対応するSi基板11上にゲート酸化膜12とフィールド酸化膜12Aが形成され、次に図13(B)の工程で前記図13(A)の構造上にさらにポリシリコン層13が堆積される。堆積されたポリシリコン層13はP<sup>+</sup>のイオン注入によりn<sup>+</sup>型にドープされ、さらに図13(C)の工程でパターニングされ、ゲート電極13Aが形成される。図13(B)の工程におけるイオン注入は、例えば20keVの加速電圧、4×10<sup>15</sup>cm<sup>-2</sup>のドーズで実行される。図13(C)の工程では、さらにこのようにして形成されたゲート電極13AをマスクにAs<sup>+</sup>のイオン注入を行い、ゲート電極13Aの両側に、浅いn<sup>+</sup>型の拡散領域11A, 11Bを自己整合的に形成する。図13(C)の工程におけるイオン注入は、例えば10keVの加速電圧、3×10<sup>14</sup>cm<sup>-2</sup>のドーズで実行される。

## 【0030】

次に、図14(D)の工程において、前記図13(C)の構造上にSiO<sub>2</sub>膜をCVD法により一様に堆積し、さらにこれを基板11の面に実質的に垂直に作用する異方性エッチングによりエッチングすることにより、前記ゲート電極13Aの両側に側壁酸化膜13a, 13bを形成する。さらに、図示の実施例では前記ゲート電極13Aおよび側壁酸化膜13a, 13bをマスクにAs<sup>+</sup>のイオン注入を行うことにより、拡散領域11C, 11Dをそれぞれ拡散領域11A, 11Bに部分的に重なるように形成し、いわゆるLDD (lightly doped drain)

構造を形成する。図14(D)の工程では、前記イオン注入工程は、例えば加速電圧を40kEVに、またドーズを $2 \times 10^{15} \text{ cm}^{-2}$ に設定して実行される。

#### 【0031】

さらに、図14(E)の工程において、前記ゲート酸化膜2のうち、前記拡散領域11Cおよび11Dを覆う部分を除去し、露出した拡散領域およびゲート電極13A上にC○膜(図示せず)を堆積する。さらに堆積したC○膜を前記拡散領域あるいはゲート電極と、840°Cで約30秒間反応させることにより、図14(E)に示すように、拡散領域11Cの表面にシリサイド膜11Eを、拡散領域11Dの表面にシリサイド膜11Fを、さらにゲート電極13A上にシリサイド膜13Bを形成する。

#### 【0032】

次に、図14(F)の工程において、前記図14(E)の構造上にSiO<sub>2</sub>膜14をプラズマCVD法により、典型的には20nmの厚さに堆積する。膜14の堆積は、例えば基板温度を400°C、高周波電力を50kWに設定し、並行平板プラズマCVD装置を使い、反応容器内圧を3.0Torrに設定し、SiH<sub>4</sub>とN<sub>2</sub>Oとをそれぞれ10cc/minおよび400cc/minの割合で、N<sub>2</sub>キャリアガスと共に前記反応容器に供給することにより実行される。N<sub>2</sub>キャリアガスの流量は、例えば2000cc/minに設定される。また、プラズマCVD装置の電極間ギャップは例えば300Mmのものを使う。このようにして形成された酸化膜14は、プラズマ中でのH<sub>2</sub>Oの生成が抑制されるため、H<sub>2</sub>Oの含有量が1.1wt%以下で、1.47程度の屈折率を有することを特徴とする。

#### 【0033】

さらに、本実施例では図15(G)の工程において、前記図14(F)の構造上にSiN膜15がプラズマCVD法等により、70nmの厚さに形成され、さらに図15(H)の工程において、その上にSiO<sub>2</sub>、PSG、BPSGあるいはSOG等の層間絶縁膜16が堆積される。層間絶縁膜16には前記拡散領域11C、11Dに対応してそれぞれコンタクトホール16Aおよび16Bが、前記側壁酸化膜13a、13bの一部をも露出するように形成され、図15(I)の

工程で、前記コンタクトホール16A, 16Bにポリシリコン等の導体プラグ17A, 17Bがそれぞれ埋め込まれる。さらに、前記導体プラグ17A, 17Bにコンタクトして、配線パターン17が前記層間絶縁膜16上に形成される。

#### 【0034】

本実施例によれば、前記SiN膜15の下の酸化膜14が低電力のプラズマCVD法により形成されるため、プラズマ中におけるH<sub>2</sub>Oの生成が抑制され、膜中に取り込まれるH<sub>2</sub>Oの割合が実質的に減少する。また、前記酸化膜14の形成が、前記プラズマCVD法を使うことにより低温で実行できるため、前記酸化膜14を形成しても、前記シリサイド層11Eあるいは11FにおいてCoの拡散、あるいはこれに伴う拡散領域の短絡が生じることがない。

#### 【0035】

酸化膜14の形成は、また同じく並行平板型プラズマCVD装置を使い、反応容器内圧を3.0 Torr, 温度を約400°Cに設定し、100Wの高周波電力を供給しながら実行してもよい。この場合には、気相原料としてSiH<sub>4</sub>を100cc/minの流量で、またN<sub>2</sub>Oを100cc/minの流量で、2000cc/minの流量で供給されるN<sub>2</sub>キャリアガスと共にプラズマCVD装置の前記反応容器に供給する。このようにして形成された酸化膜14は、約1.5の屈折率を有する。

#### 【0036】

さらに、前記酸化膜14の代わりに、H<sub>2</sub>Oのゲッタリング作用を示すPを含むPSGあるいはBPSGを使うことも可能である。PSGあるいはBPSG典型的にはCVD法により堆積され、PSGを使う場合には膜14中のPを6wt%以下に、BPSGを使う場合には膜14中のBを4wt%以下に設定するのが好ましい。

#### 【0037】

さらに、前記酸化膜14を、プラズマCVD法ではなく、通常の高温CVD法により形成することも可能である。この場合、シリサイド膜からの金属元素の拡散を抑止するため、基板温度は約825°C以下に設定し、また膜中のSi-H結合が増加するように、気相原料中のSiH<sub>4</sub>に対するN<sub>2</sub>Oの比を5以下に設

定するのが好ましい。また、SiN膜15の堆積に先立って、酸化膜14を約825°C程度の温度で熱処理することにより、膜14中のH<sub>2</sub>Oを放出させることも可能である。

#### 【0038】

酸化膜14の堆積とSiN膜15の堆積とは、同一の反応容器内において連続して実行されるため、酸化膜14が堆積後外気と接する機会はなく、このため堆積された酸化膜14が外気中のH<sub>2</sub>Oを吸収することはない。

#### 【第2実施例】

次に、本発明の第2実施例による半導体装置の製造方法について、図16(A)～21(O)を参照しながら説明する。

#### 【0039】

図16(A)を参照するに、p型あるいはn型のSi基板21表面上には自然酸化膜22Nが形成されており、前記基板表面のうちNMOSトランジスタ形成領域NMOSおよびPMOSトランジスタ形成領域をSiNマスク23Aおよび23Bにより覆う。ただし、マスク23Aと23Bとは離間しており、間に基板表面を覆う自然酸化膜22Nが露出される。

#### 【0040】

次に、図16(B)の工程で、前記図16(A)の構造をウェット酸化して、前記自然酸化膜22Nの露出部に対応してフィールド酸化膜を、典型的には250nmの厚さに形成する。さらに、図16(B)の工程では、前記PMOS領域をマスクM1でマスクし、B<sup>+</sup>を基板21中に300keVの加速電圧および3×10<sup>13</sup>cm<sup>-2</sup>のドーズでイオン注入し、基板21中の前記フィールド酸化膜23の一の側にp型ウェル21Aを形成する。さらに、図16(C)の工程で、前記NMOS領域をマスクM2でマスクし、P<sup>+</sup>を基板21中に600keVの加速電圧および3×10<sup>13</sup>cm<sup>-2</sup>のドーズでイオン注入し、基板21中、前記フィールド酸化膜23の他の側に、n型ウェル21Bを形成する。

#### 【0041】

さらに、図17(D)の工程で、前記自然酸化膜22Nをエッティングにより除去し、熱酸化処理工程により、前記基板表面に新たに熱酸化膜22を約5.5n

mの厚さに形成する。さらに、図17(D)の工程では、このようにして形成された構造上に、ポリシリコン膜24を180nmの厚さに形成する。

次に、図17(E)の工程において、図17(D)の構造上に酸化膜25を通常の高温CVD法により、典型的には80nmの厚さに形成し、さらにこのように形成された酸化膜25のうち、前記フィールド酸化膜23を覆う部分の一部に開口部25Aを、マスクM3を使って形成する。

#### 【0042】

さらに、図18(F)の工程において、前記酸化膜25上にSiN膜26をプラズマCVD法により、典型的には26nmの厚さに形成し、これをマスクM4を使って所望のゲートパターンにパターニングする。さらに、パターニングされたSiN膜26をマスクに前記酸化膜25およびその下のポリシリコン膜24をパターニングし、ゲート電極24A～24Eを形成する。このうち、ゲート電極24Aおよび24Bはウェル21A上に形成され、一方ゲート電極24Cおよび24Dはウェル21B上に形成される。また、ゲート電極24Eは前記フィールド酸化膜23上に形成される。また、この段階で、ゲート電極の両側に露出している酸化膜22を選択的に除去する。

#### 【0043】

さらに、図18(G)の工程において、前記PMOS領域をマスクM5により保護し、前記ゲート電極24Aおよび24BをマスクにAs<sup>+</sup>のイオン注入を、10keVの加速電圧および $3 \times 10^{14} \text{ cm}^{-2}$ のドーズで実行し、ウェル21A中に前記ゲート電極24Aおよび24Bに隣接して拡散領域21A<sub>1</sub>，21A<sub>2</sub>，21A<sub>3</sub>を形成する。

#### 【0044】

次に、図19(H)の工程において、前記ゲート電極24A～24E各々に、側壁酸化膜24aおよび24bを、周知のCVD酸化膜の堆積およびエッチバックを含む方法により形成し、さらに図19(I)の工程において前記SiN膜25を除去した後、前記ゲート電極24Aおよび24B、さらに前記側壁酸化膜24a，24bをマスクにAs<sup>+</sup>のイオン注入を40keVの加速電圧および $2 \times 10^{15} \text{ cm}^{-2}$ のドーズで実行し、拡散領域21A<sub>1</sub>中に拡散領域21A<sub>4</sub>を、拡

散領域 $21A_2$ 中に拡散領域 $21A_5$ を、また拡散領域 $21A_3$ 中に拡散領域 $21A_6$ を形成する。その結果、図19(I)の工程では、ウェル $21A$ 中にLD構造を有する拡散領域が形成される。また、図19(I)のイオン注入は、前記PMOS領域をマスクM6で保護して実行される。

#### 【0045】

次に、図19(J)の工程において、前記NMOS領域をマスクM7で保護し、前記ウェル $21B$ 中に、前記ゲート電極 $24C$ ,  $24D$ および側壁酸化膜 $24a$ ,  $24b$ をマスクに $B^+$ のイオン注入を、加速電圧 $7\text{ keV}$ 、ドーズ $2 \times 10^{15}\text{ cm}^{-2}$ で実行し、拡散領域 $21B_1$ ,  $21B_2$ および $21B_3$ を形成する。

さらに、図20(K)の工程において、前記ゲート電極 $24A$ ～ $24D$ および電極 $24E$ 上の側壁酸化膜 $24a$ ,  $24b$ を、CVD酸化膜をその上にさらに堆積し、エッチバックすることにより成長させる。この工程では、前記隣接するゲート電極間で基板 $21$ 表面の拡散領域 $21A_4$ ～ $21A_6$ および $21B_1$ ～ $21B_3$ が露出し、次に図20(L)の工程において、図20(K)の工程で得られた構造上にC<sub>o</sub>膜(図示せず)をスパッタリングにより堆積し(ただし、拡散領域 $21A_4$ ～ $A_6$ は、その表面に拡散領域 $A_1$ ～ $A_3$ を含む)、これを $550^\circ C$ で $30$ 分間熱処理することにより、前記拡散領域の露出表面にシリサイド(C<sub>o</sub>Si<sub>2</sub>)層 $27$ を自己整合的に形成する。シリサイド層 $27$ の形成の後、残ったC<sub>o</sub>膜はエッチングにより除去され、さらに全体の構造が $825^\circ C$ で $20$ 秒間熱処理される。シリサイド層 $27$ は、前記電極 $24E$ 上、前記開口部 $25A$ (図17(E)参照)に対応した露出部にも形成される。

#### 【0046】

さらに、図20(M)の工程において、図20(L)の構造上にTiN層をリアクティブスパッタリング法により、典型的には $20\text{ nm}$ の厚さに堆積し、これをマスクM8を使ってパターニングし、前記シリサイド層 $27$ にコンタクトするローカル配線パターン $28A$ ,  $28B$ ,  $28C$ を形成する。図示の例では、拡散領域 $21A_3$ および $21A_6$ が、前記ローカル配線パターン $28B$ およびシリサイド層 $27$ を介して前記電極 $24E$ に電気的に接続されており、半導体装置はSRAMを構成する。

## 【0047】

次に、図21(N)の工程において、前記図20(M)の構造上に、酸化膜( $\text{SiO}_2$ )29をプラズマCVD法により、先の実施例において、前記酸化膜14を形成した場合と同様にして、20nmの厚さに形成する。

すなわち、酸化膜29の堆積は、例えば基板温度を400°C、高周波電力を50kWに設定し、並行平板型プラズマCVD装置を使い、反応容器内圧を3.0 Torrに設定し、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ とをそれぞれ10cc/minおよび400cc/minの割合で、 $\text{N}_2$ キャリアガスと共に前記反応容器に供給することにより実行される。 $\text{N}_2$ キャリアガスの流量は、例えば2000cc/minに設定される。また、プラズマCVD装置の電極間ギャップは例えば300Milのものを使う。このようにして形成された酸化膜29は、プラズマ中での $\text{H}_2\text{O}$ の生成が抑制されるため、 $\text{H}_2\text{O}$ の含有量が1.1wt%以下で、1.47程度の屈折率を有することを特徴とする。

## 【0048】

さらに、前記酸化膜29の形成に引き続いて、図21(N)に示すように前記酸化膜29上にSiN膜30をプラズマCVD法により、70nmの厚さに形成され、さらに図21(O)の工程において、前記図21(N)の構造上にSOG等よりなる層間絶縁膜31が堆積される。

前記酸化膜29の形成は、同様に並行平板型プラズマCVD装置を使い、反応容器内圧を3.0 Torr、温度を約400°Cに設定し、100Wの高周波電力を供給しながら実行してもよい。この場合には、気相原料として $\text{SiH}_4$ を10cc/minの流量で、また $\text{N}_2\text{O}$ を100cc/minの流量で、2000cc/minの流量で供給される $\text{N}_2$ キャリアガスと共にプラズマCVD装置の前記反応容器に供給する。このようにして形成された酸化膜29は、約1.5の屈折率を有する。

## 【0049】

さらに、前記酸化膜29の代わりに、 $\text{H}_2\text{O}$ のゲッタリング作用を示すPを含むPSGあるいはBPSGを使うことも可能である。PSGあるいはBPSG典型的にはCVD法により堆積され、PSGを使う場合には膜29中のPを6wt

%以下に、BPSGを使う場合には膜29中のBを4wt%以下に設定するのが好ましい。

#### 【0050】

さらに、前記酸化膜29を、プラズマCVD法ではなく、通常の高温CVD法により形成することも可能である。この場合、シリサイド膜からの金属元素の拡散を抑止するため、基板温度は約825°C以下に設定し、また膜中のSi-H結合が増加するように、気相原料中のSiH<sub>4</sub>に対するN<sub>2</sub>Oの比を5以下に設定するのが好ましい。また、SiN膜30の堆積に先立って、酸化膜29を約825°C程度の温度で熱処理することにより、膜29中のH<sub>2</sub>Oを放出させることも可能である。

#### 【0051】

酸化膜29の堆積とSiN膜30の堆積とは、同一の反応容器内において連続して実行されるため、酸化膜29が堆積後外気と接する機会はなく、このため堆積された酸化膜29が外気中のH<sub>2</sub>Oを吸収することはない。

以上、本発明を好ましい実施例について説明したが、特許請求の範囲に記載した本発明の要旨内において、様々な変形や変更が可能である。

#### 【0052】

##### 【発明の効果】

請求項1、4および17記載の本発明の特徴によれば、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、前記自己整合開口部を形成する工程を、前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッチングストップとして使って形成する工程と、前記コンタクトホール

の底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッティングストップとして除去する工程と、前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程とより構成し、前記第1の絶縁膜を形成する工程を、プラズマCVD法により、高周波出力を100W以下に設定して実行することにより、前記第1の絶縁膜中に取り込まれるH<sub>2</sub>Oの量が実質的に抑制され、前記第1の絶縁膜中に取り込まれたH<sub>2</sub>Oに由来するOHがチャネル領域直上のゲート酸化膜まで拡散し、界面準位を形成する問題が解決される。

## 【0053】

請求項2, 3, 18記載の本発明の特徴によれば、第1の絶縁膜の屈折率を約1.5に設定し、あるいは膜中のSi-H結合の割合を増大させることにより、膜中に含まれるH<sub>2</sub>Oの割合を最小化することができる。

請求項5記載の本発明の特徴によれば、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、前記自己整合開口部を形成する工程を、前記側壁酸化膜およびさらに前記拡散領域を覆うように、酸化物よりなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッティングストップとして使って形成する工程と、前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッティングストップとして除去する工程と、前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程とより構成し、前記第1の絶縁膜を形成する工程を、CVD法により、SiH<sub>4</sub>とN<sub>2</sub>Oをソースとして、実行することにより、前記第1の絶縁膜中に取り込まれるH<sub>2</sub>Oの量が実質的に抑制され、前記第1の絶縁膜中に取り込まれたH<sub>2</sub>Oに由来するOHがチャネル領

域直上のゲート酸化膜まで拡散し、界面準位を形成する問題が解決される。

【0054】

請求項6記載の本発明の特徴によれば、

前記CVD法を、N<sub>2</sub>OのSiH<sub>4</sub>に対する割合を5以下に設定して実行することにより、第1の絶縁膜中においてSi-H結合の割合が増加し、H<sub>2</sub>Oの含有量が減少する。

請求項7記載の本発明の特徴によれば、

前記CVD法を、基板温度を、約825°C以下に設定して実行することにより、かりに前記拡散領域にシリサイドが形成されていても、シリサイドを構成する元素の拡散が抑制され、拡散した前記元素が拡散領域を短絡する等の問題が回避される。

【0055】

請求項8～11、19、20記載の本発明の特徴によれば、

基板上にゲート電極を形成する工程と、前記基板中に前記ゲート電極に隣接して拡散領域を形成する工程と、前記ゲート電極の側壁面上に側壁酸化膜を形成する工程と、前記ゲート電極を覆う層間絶縁膜中に、前記側壁酸化膜で画成され、前記拡散領域を露出する自己整合開口部を形成する工程とを含む半導体装置の製造方法において、前記自己整合開口部を形成する工程を、前記側壁酸化膜およびさらに前記拡散領域を覆うように、シリケートガラスよりなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とは組成の異なった第2の絶縁膜を堆積する工程と、前記第2の絶縁膜上に前記層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記拡散領域に対応して、コンタクトホールを前記第2の絶縁膜をエッティングストップとして使って形成する工程と、前記コンタクトホールの底において、前記第2の絶縁膜を、前記第1の絶縁膜をエッティングストップとして除去する工程と、前記コンタクトホールの底において、前記第1の絶縁膜を、前記拡散領域に対して選択的に除去する工程とより構成し、前記第1の絶縁膜を形成する工程で、Pを含むシリケートガラスを堆積することにより、PのH<sub>2</sub>Oゲッタリング作用により、第1の絶縁膜中へのH<sub>2</sub>Oの拡散を抑制することができる。

【0056】

請求項12記載の本発明の特徴によれば、

前記第1の絶縁膜が形成された後、前記第2の絶縁膜が堆積されるまでの間に、前記第1の絶縁膜を熱処理することにより、第1の絶縁膜中に取り込まれたH<sub>2</sub>Oを放出させることができる。

請求項13記載の本発明の特徴によれば、

前記加熱処理を急速加熱処理法により実行することにより、前記拡散領域にシリサイドが形成されても、シリサイドを構成する元素の拡散が抑制され、拡散した前記元素が拡散領域を短絡する等の問題が回避される。

【0057】

請求項14記載の本発明の特徴によれば、

前記第1の絶縁膜を形成する工程と、前記第2の絶縁膜を形成する工程とを、同一の反応容器内において、前記基板を反応容器外に取り出すことなく実行することにより、前記第1の絶縁膜が外気に接触し外気中のH<sub>2</sub>Oを吸収することが回避される。

【0058】

請求項15, 22, 23記載の本発明の特徴によれば、

前記拡散領域を形成する工程を、前記拡散領域表面にシリサイドを形成する工程を含むように実行し、前記シリサイド形成工程を、前記第1の絶縁膜の形成前に実行することにより、本発明により、拡散領域の抵抗を減少させた、高速動作する半導体装置を得ることができる。

【0059】

請求項16, 21記載の本発明の特徴によれば、

前記第1のエッチングストップの形成工程に先立って、前記拡散領域にコンタクトして、導体パターンを形成する工程を行うことにより、ローカル配線パターンを有するS R A M等の高速半導体装置を形成することができる。

【図面の簡単な説明】

【図1】

本発明の原理を説明する図（その一）である。

【図 2】

本発明の原理を説明する図（その二）である。

【図 3】

本発明の原理を説明する図（その三）である。

【図 4】

本発明の原理を説明する図（その四）である。

【図 5】

本発明の原理を説明する図（その五）である。

【図 6】

本発明の原理を説明する図（その六）である。

【図 7】

本発明の原理を説明する図（その七）である。

【図 8】

本発明の原理を説明する図（その八）である。

【図 9】

本発明の原理を説明する図（その九）である。

【図 10】

本発明の原理を説明する図（その十）である。

【図 11】

本発明の原理を説明する図（その十一）である。

【図 12】

本発明の原理を説明する図（その十二）である。

【図 13】

(A) ~ (C) は、本発明の第1実施例による半導体装置の製造工程を説明する図（その一）である。

【図 14】

(D) ~ (F) は、本発明の第1実施例による半導体装置の製造工程を説明する図（その二）である。

【図 15】

(G)～(I)は、本発明の第1実施例による半導体装置の製造工程を説明する図（その三）である。

【図16】

(A)～(C)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その一）である。

【図17】

(D)～(E)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その二）である。

【図18】

(F)～(G)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その三）である。

【図19】

(H)～(J)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その四）である。

【図20】

(K)～(M)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その五）である。

【図21】

(N)～(O)は、本発明の第2実施例による半導体装置の製造工程を説明する図（その六）である。

【図22】

(A)～(C)は従来の半導体装置の製造工程を説明する図（その一）である

【図23】

(D)～(F)は従来の半導体装置の製造工程を説明する図（その二）である

【図24】

(G)～(H)は従来の半導体装置の製造工程を説明する図（その三）である

## 【図25】

従来の半導体装置の問題点を説明する図である。

## 【符号の説明】

1, 11, 21 基板

1A～1D, 11A～11D, 21A<sub>1</sub>～21A<sub>6</sub>, 21B<sub>1</sub>～21B<sub>3</sub> 拡散領域

2, 12, 22 ゲート酸化膜

2A, 12A, 23 フィールド酸化膜

3, 13, 24 ポリシリコン層

3A, 13A, 24A～24E ゲート電極

3a, 3b, 13a, 13b, 24a, 24b 側壁酸化膜

4, 15, 30 SiN膜

5, 16, 31 層間絶縁膜

5A, 5B, 16A, 16B コンタクトホール

6, 14, 29 酸化膜

11E, 11F, 13B, 27 シリサイド層

17 導体パターン

17A, 17B 導体プラグ

21A, 21B ウエル

22N 自然酸化膜

25 酸化膜

25A コンタクトホール

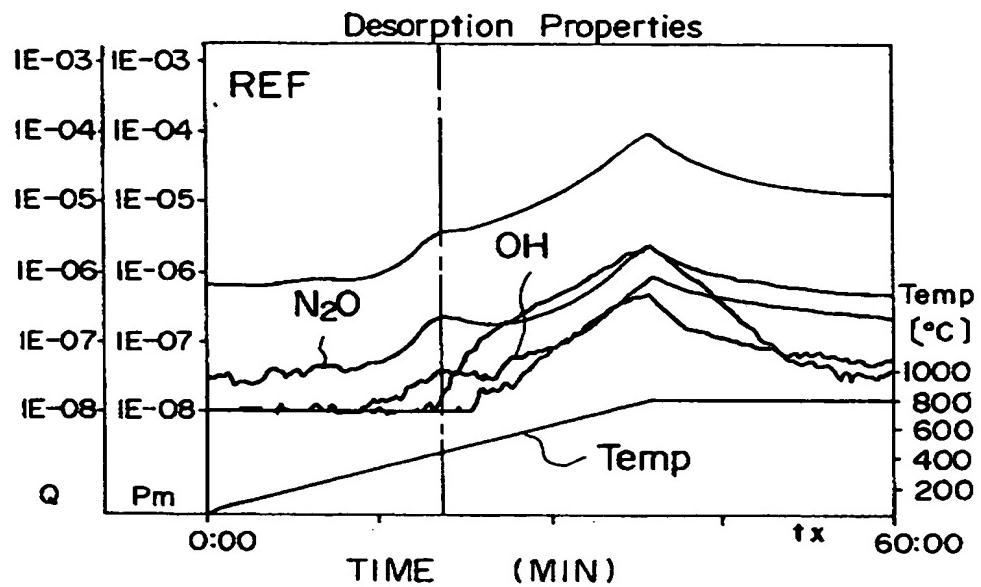
26 SiN膜

28A～28C ローカル配線パターン

【書類名】 図面

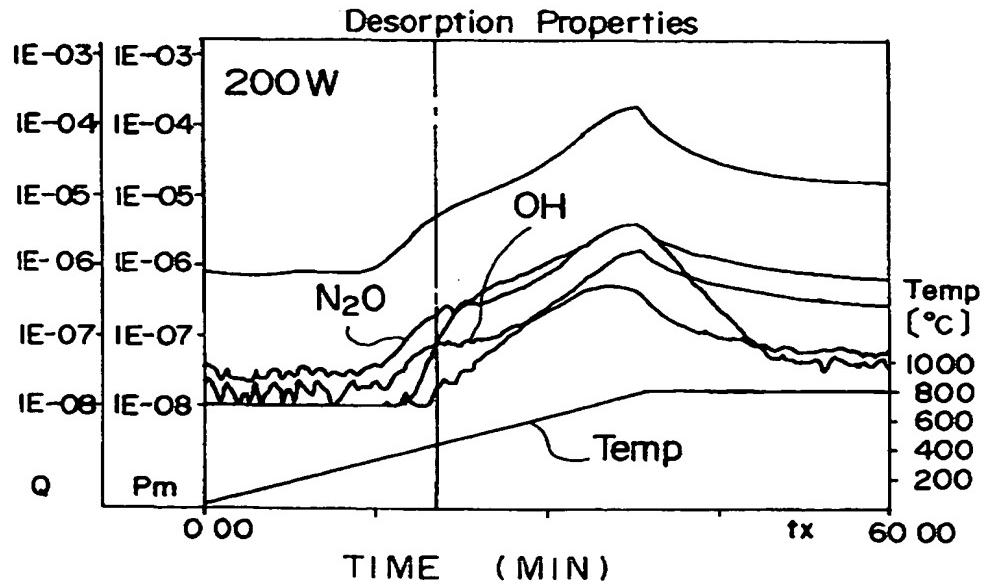
【図1】

本発明の原理を説明する図(その一)



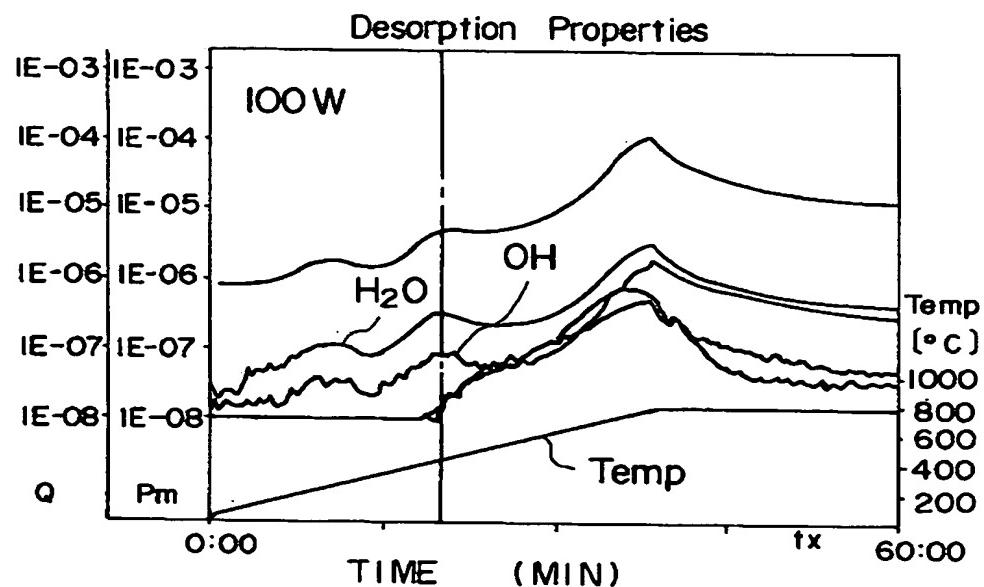
【図2】

本発明の原理を説明する図(その二)



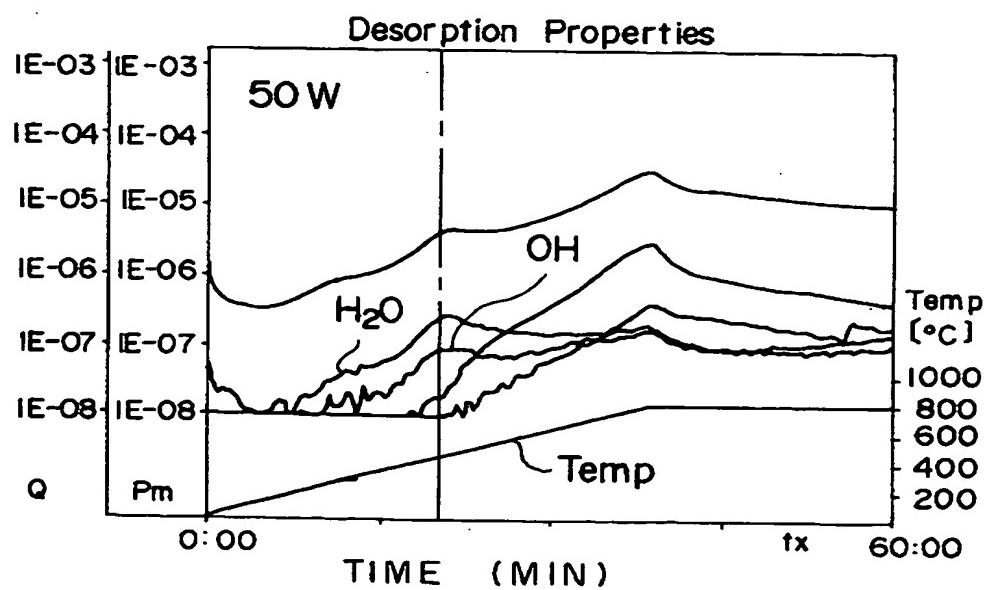
【図3】

本発明の原理を説明する図(その三)



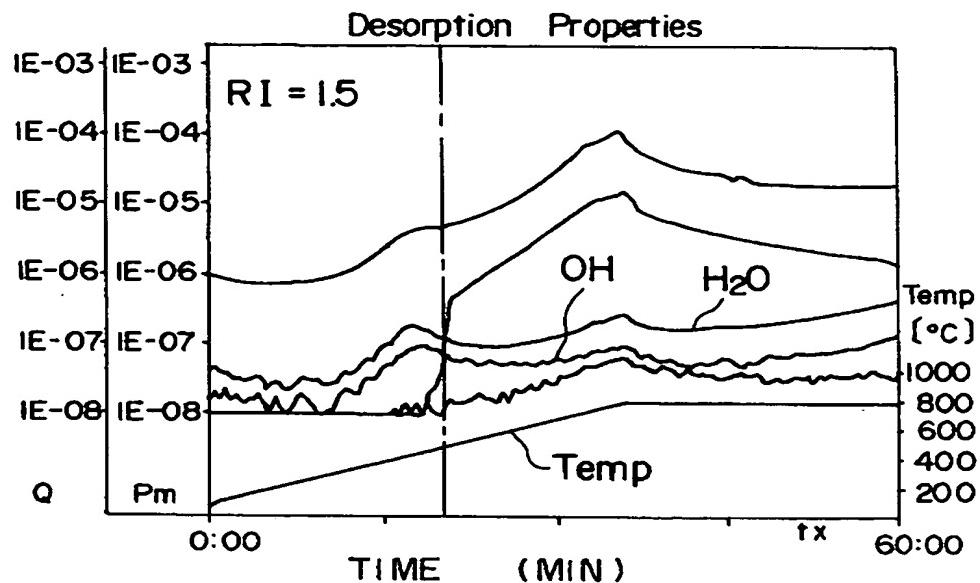
【図4】

本発明の原理を説明する図(その四)



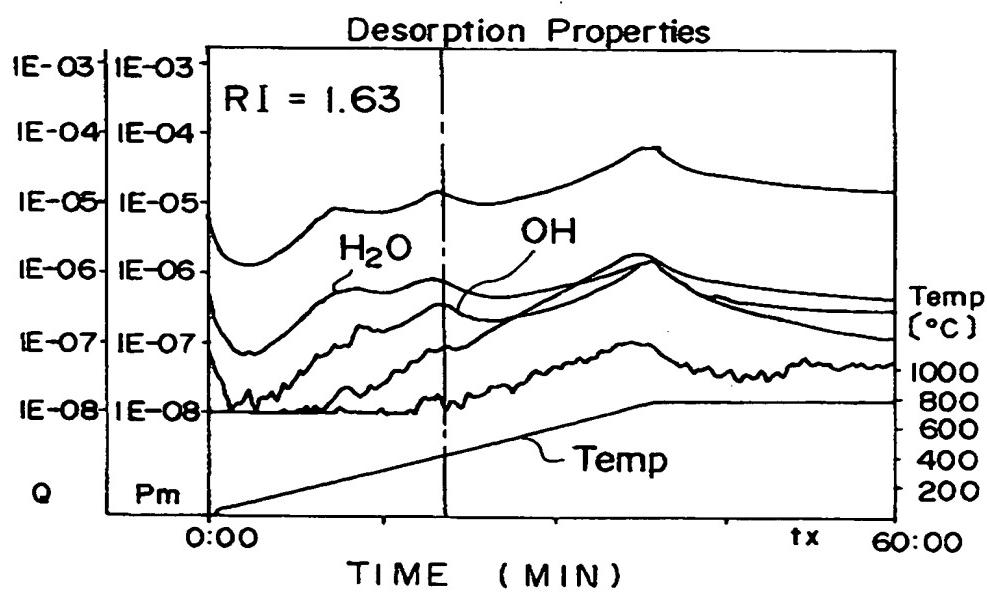
【図5】

本発明の原理を説明する図(その五)



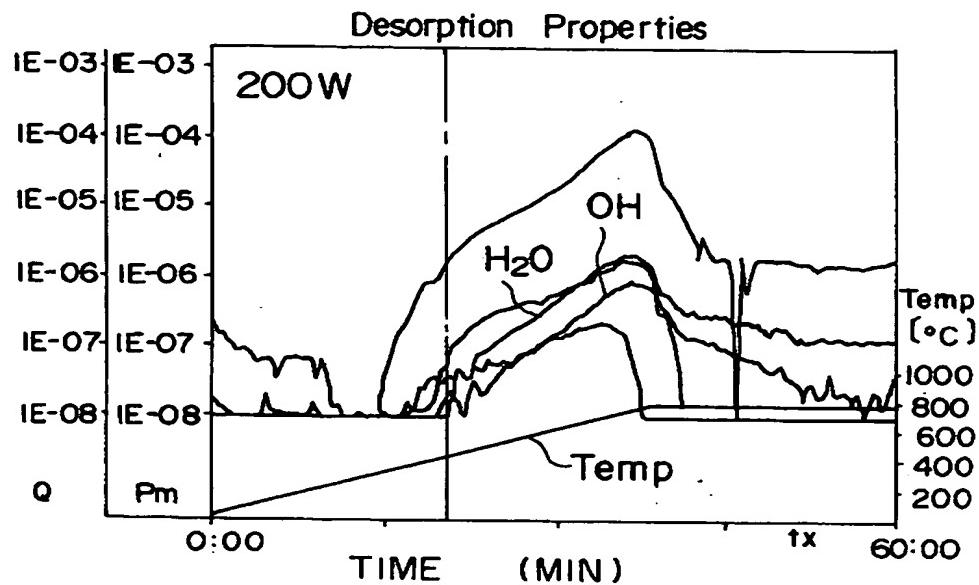
【図6】

本発明の原理を説明する図(その六)



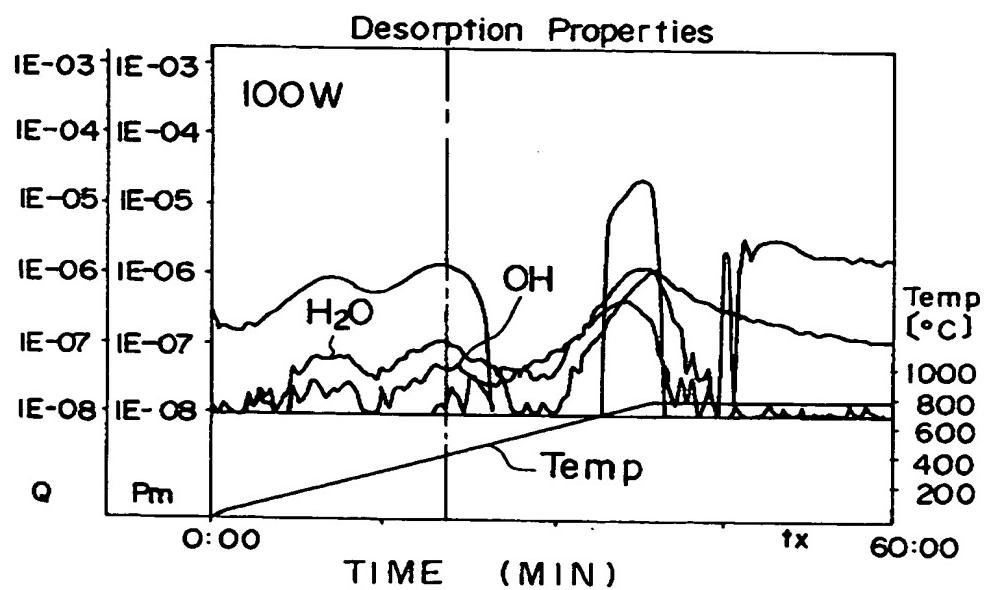
【図 7】

本発明の原理を説明する図(その七)



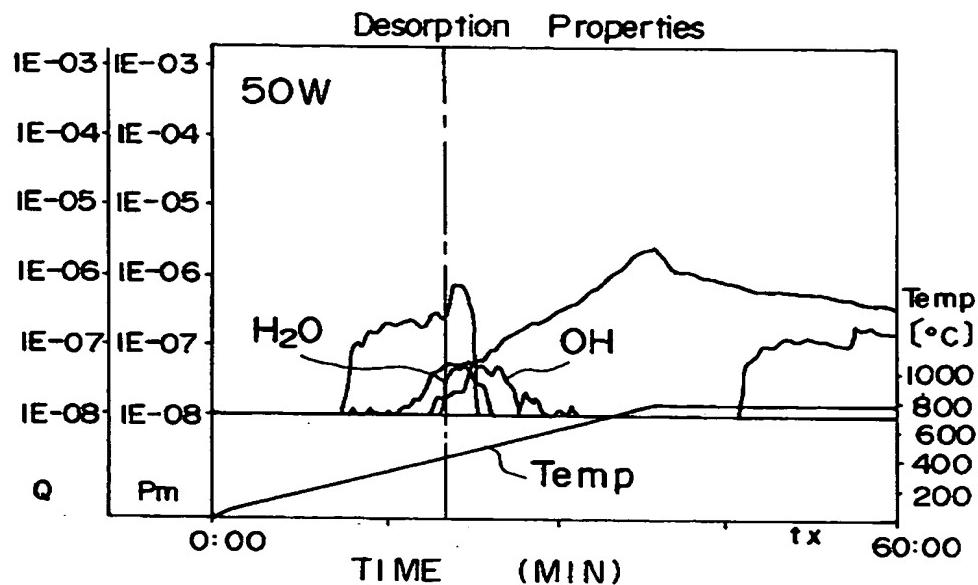
【図 8】

本発明の原理を説明する図(その八)



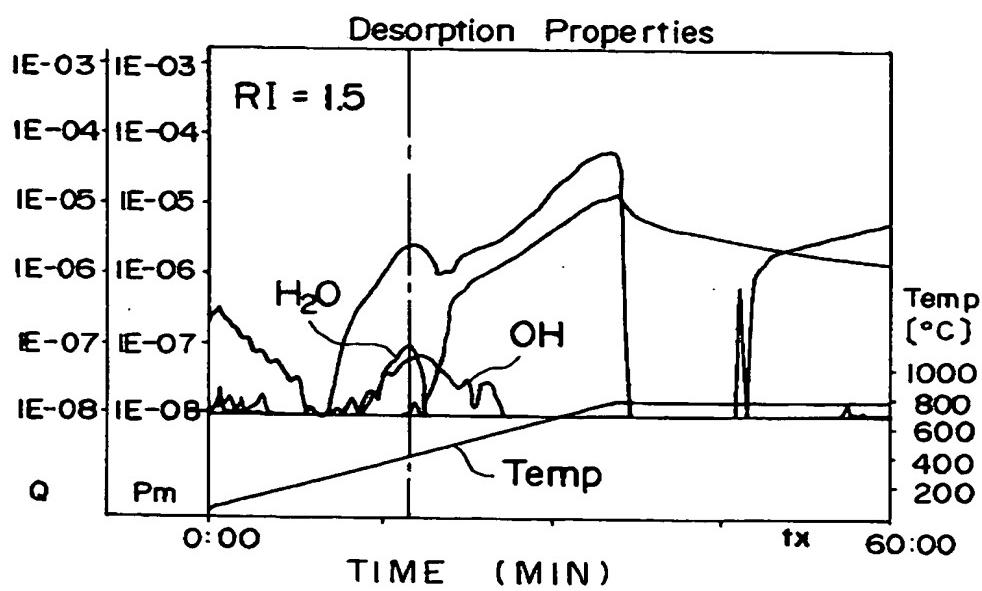
【図9】

本発明の原理を説明する図(その九)



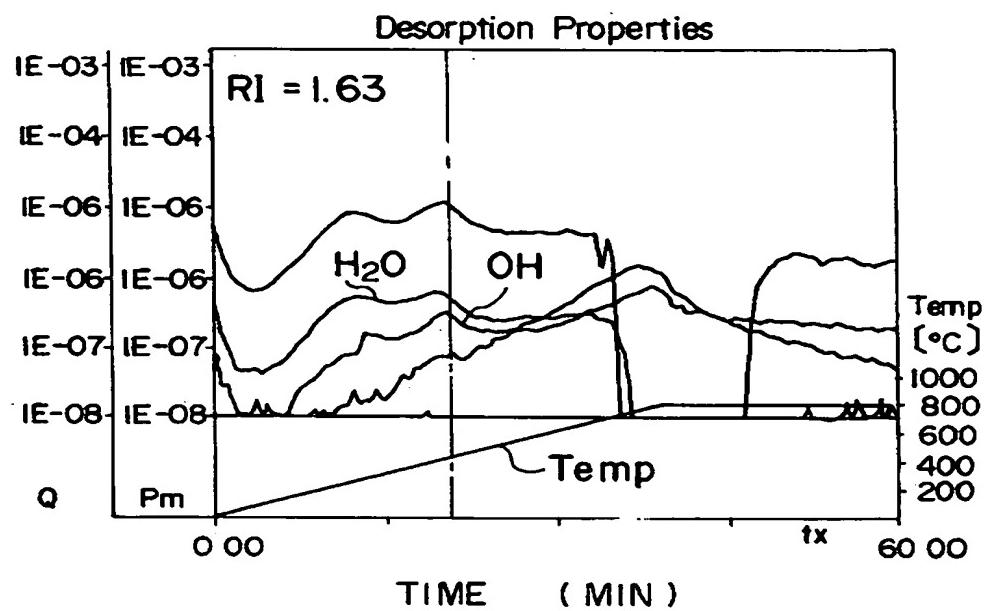
【図10】

本発明の原理を説明する図(その十)



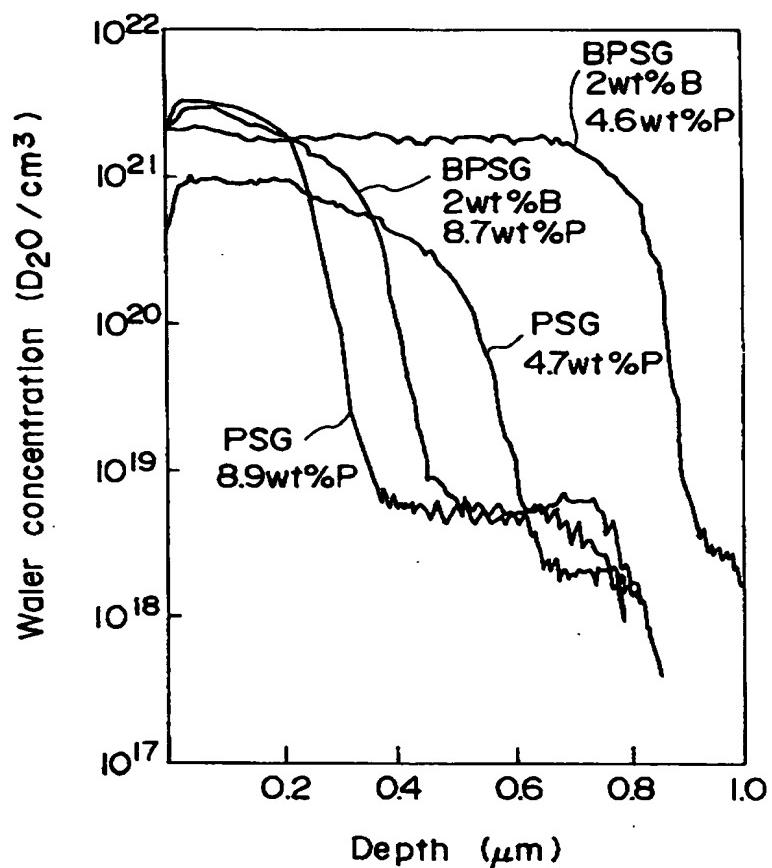
【図11】

本発明の原理を説明する図(その十一)



【図12】

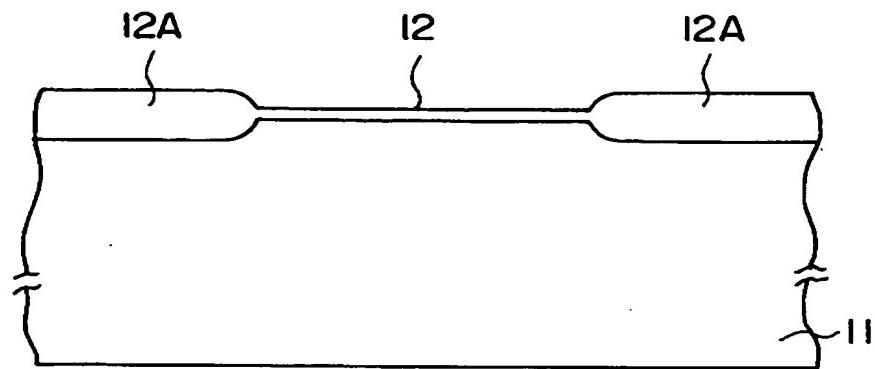
本発明の原理を説明する図(その1)



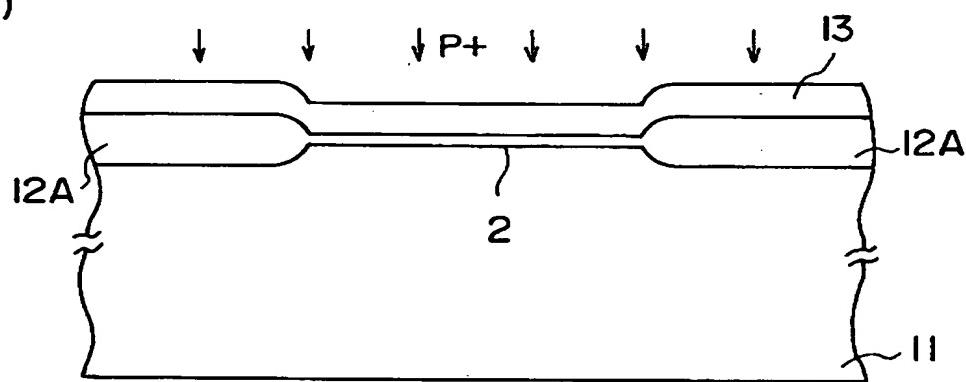
【図13】

(A)～(C)は、本発明の第1実施例による半導体装置の製造工程を説明する図(その一)

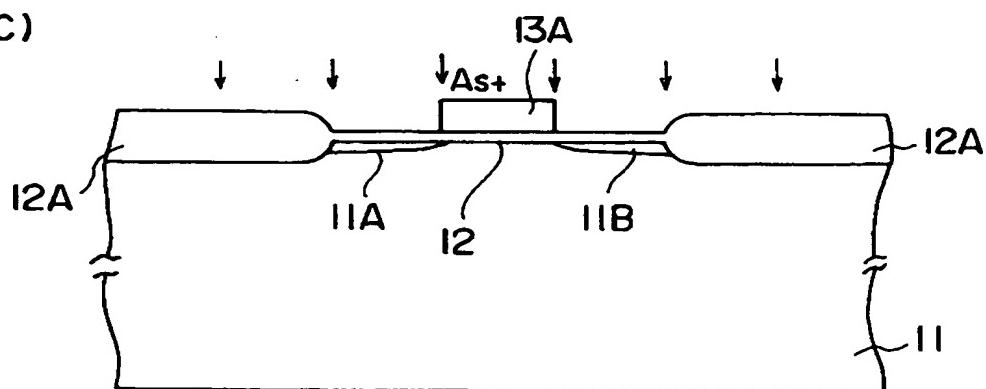
(A)



(B)



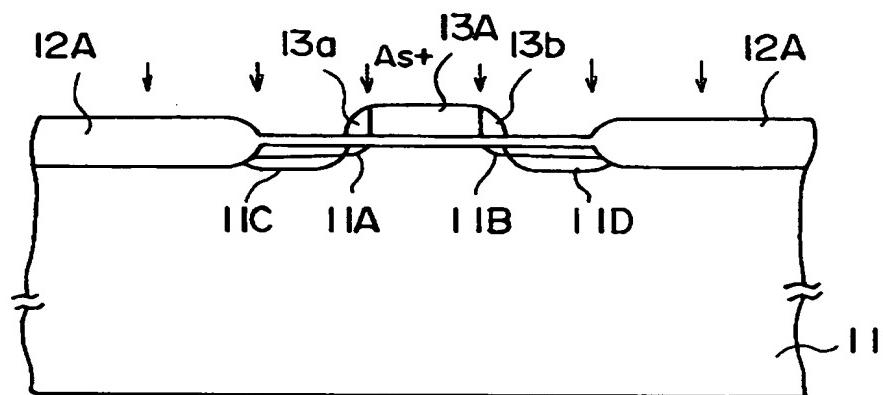
(C)



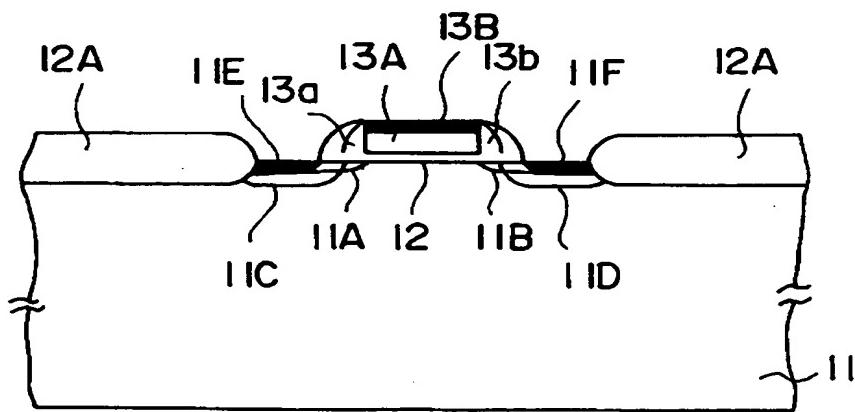
【図14】

(D)～(F)は、本発明の第1実施例による半導体装置の製造工程を説明する図(その二)

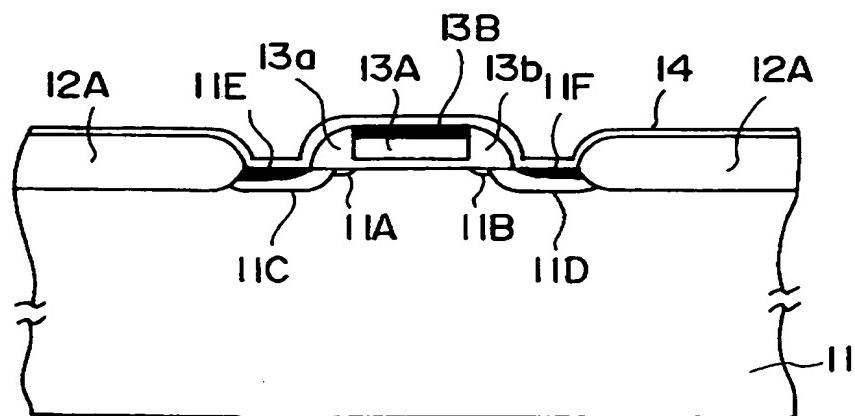
(D)



(E)



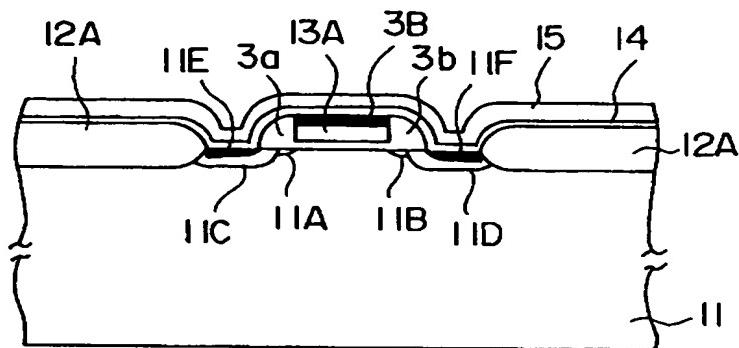
(F)



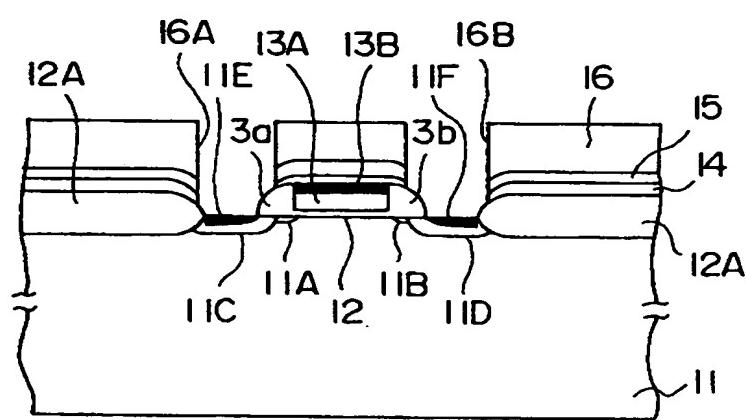
## 【図15】

(G)～(I)は、本発明の第1実施例による半導体装置の製造工程を説明する図(その三)

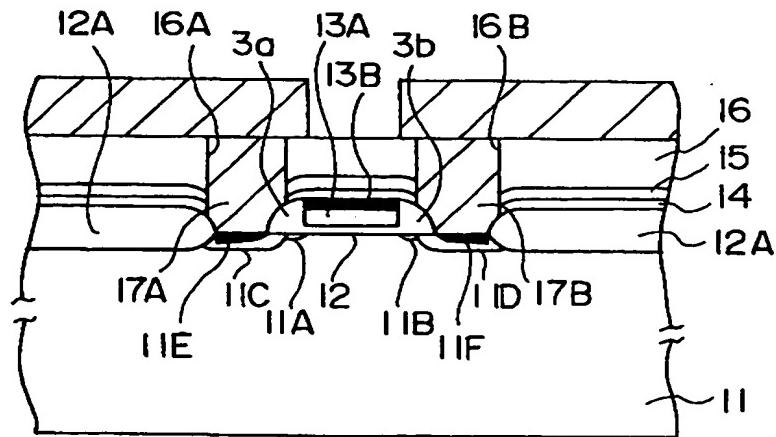
(G)



(H)



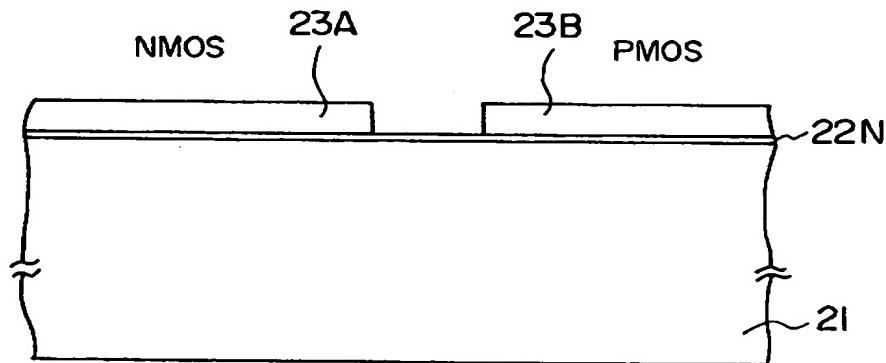
(I)



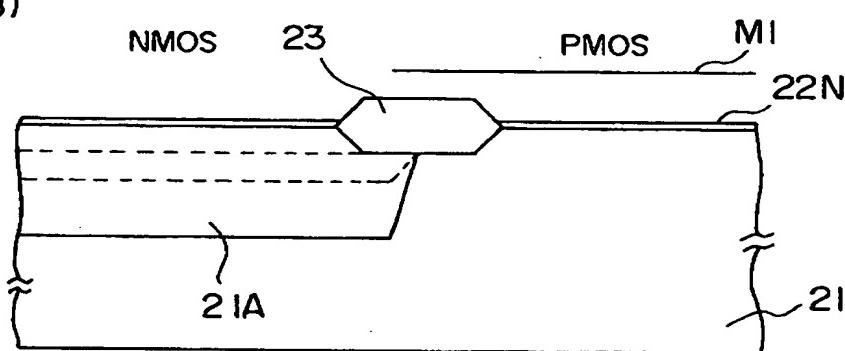
## 【図16】

(A)～(C)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その一)

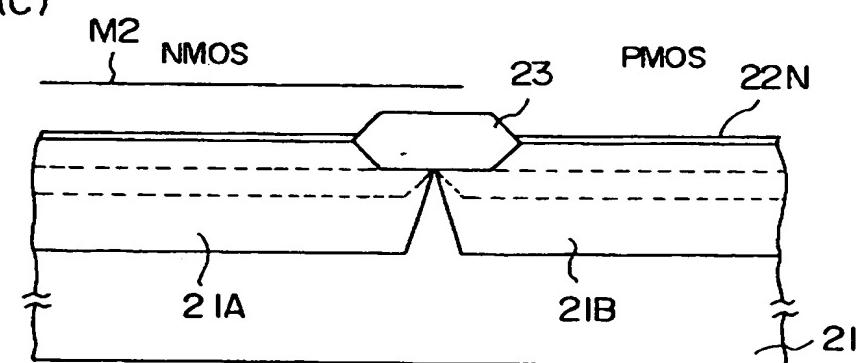
(A)



(B)



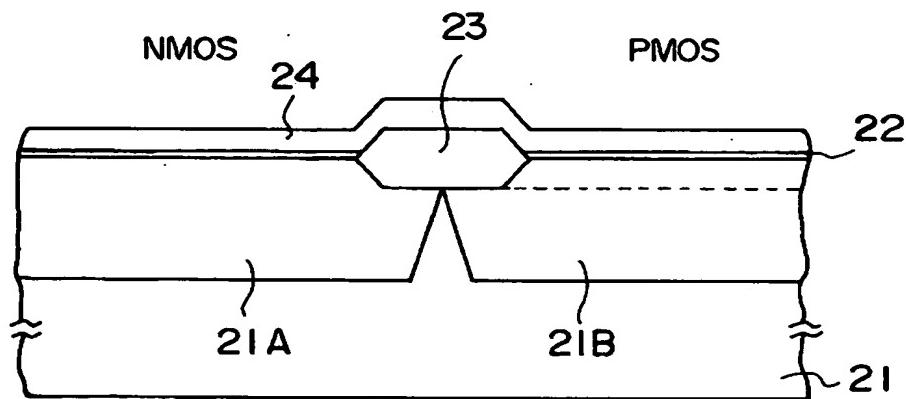
(C)



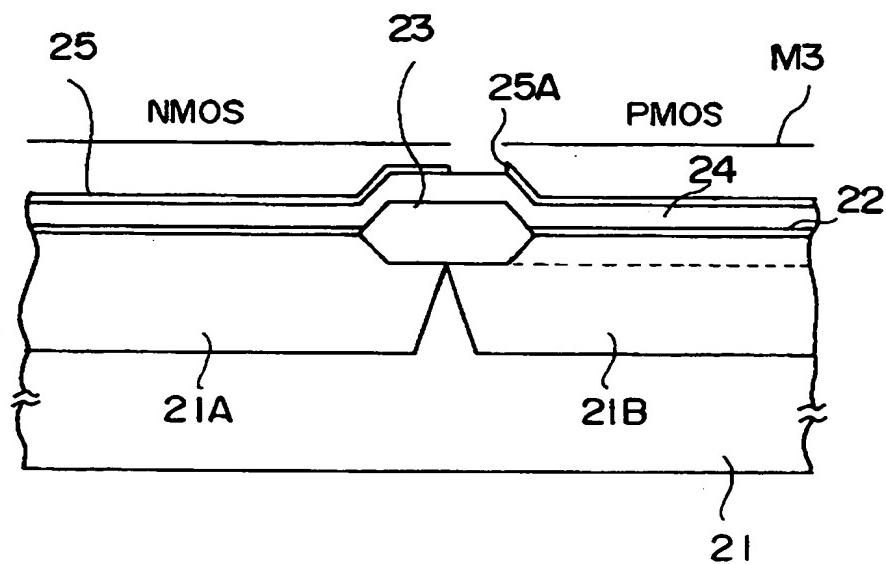
## 【図17】

(D)～(E)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その1)

(D)



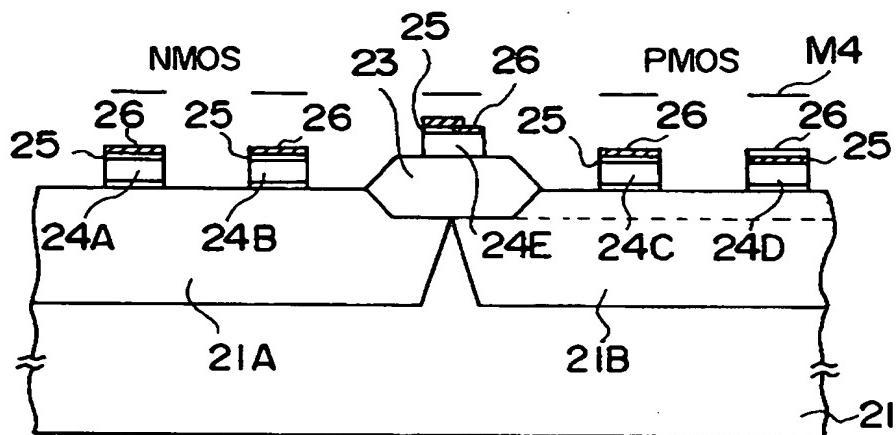
(E)



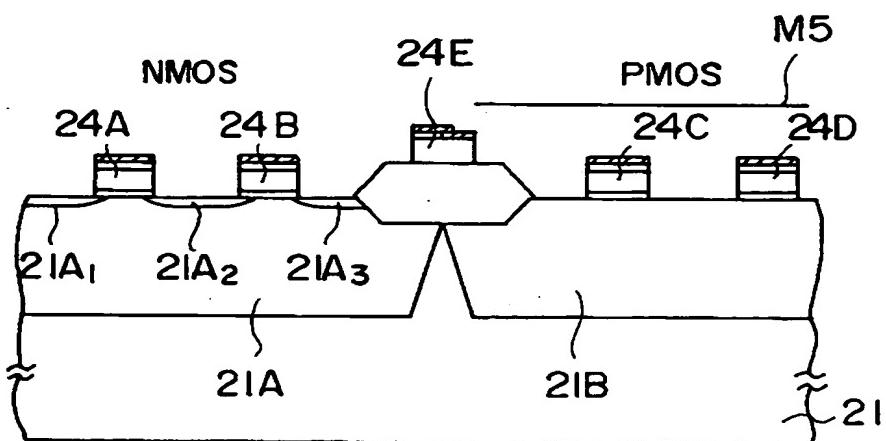
【図18】

(F)～(G)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その三)

(F)



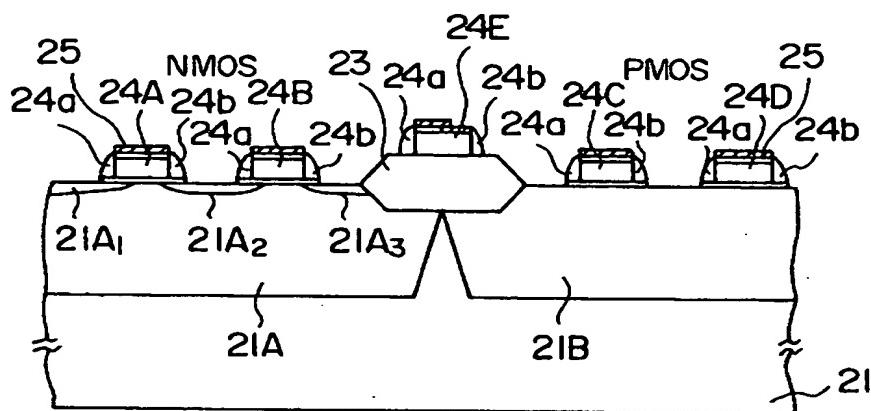
(G)



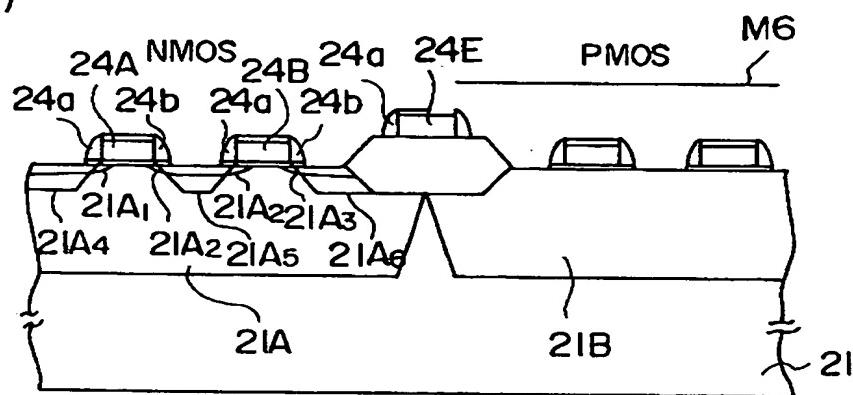
## 【図19】

(H)～(J)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その四)

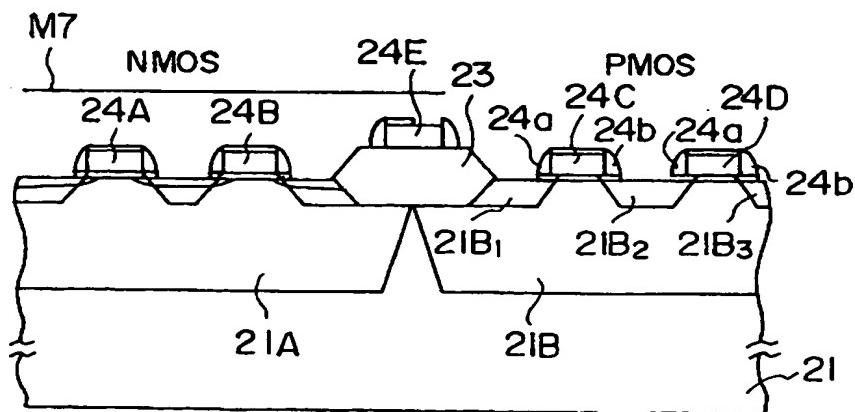
(H)



(I)



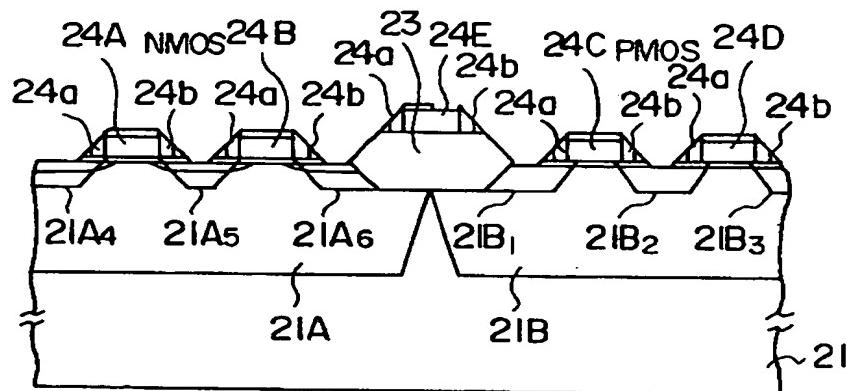
(J)



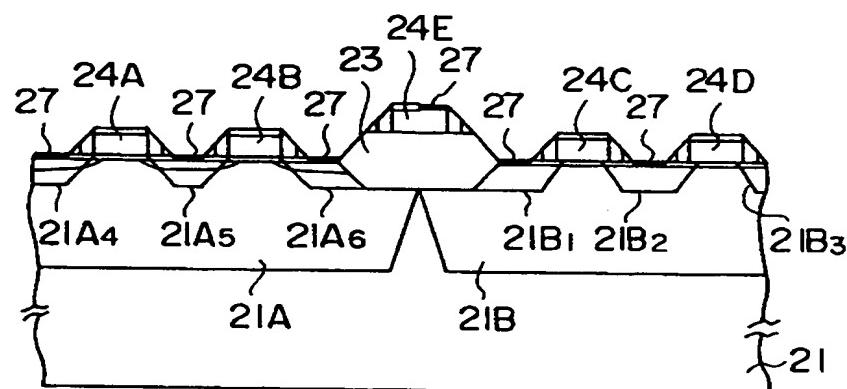
## 【図20】

(K)～(M)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その五)

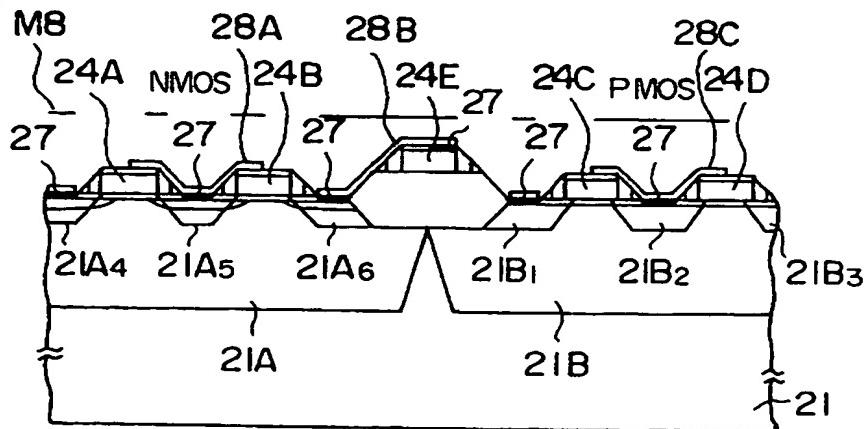
(K)



(L)



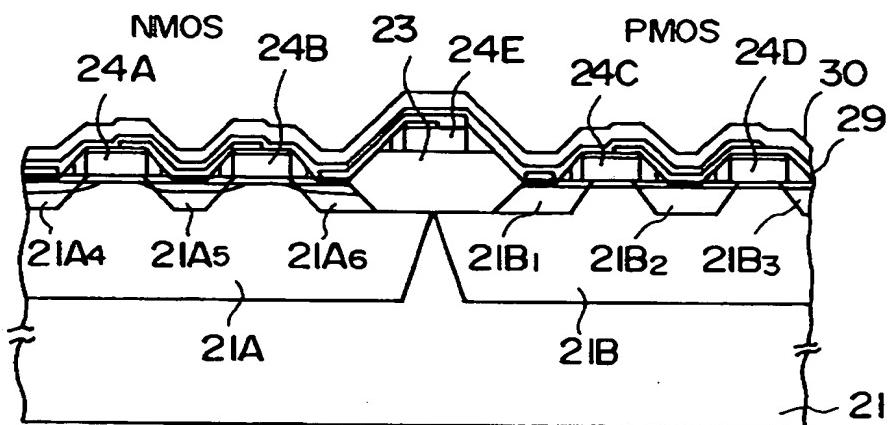
(M)



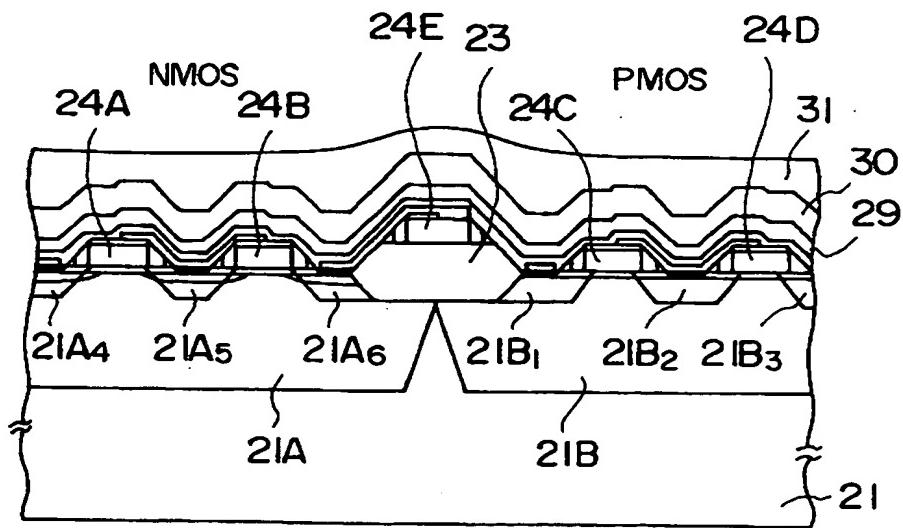
## 【図21】

(N)～(O)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その六)

(N)



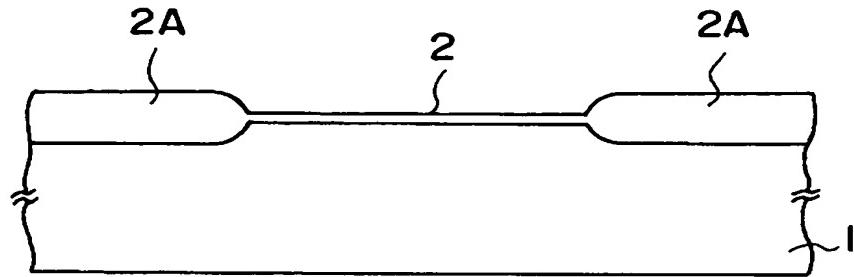
(O)



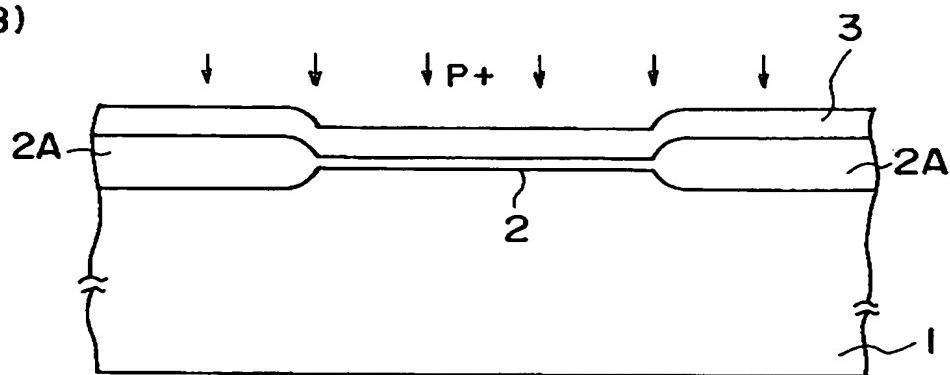
【図22】

(A)～(C)は従来の半導体装置の  
製造工程を説明する図(その…)

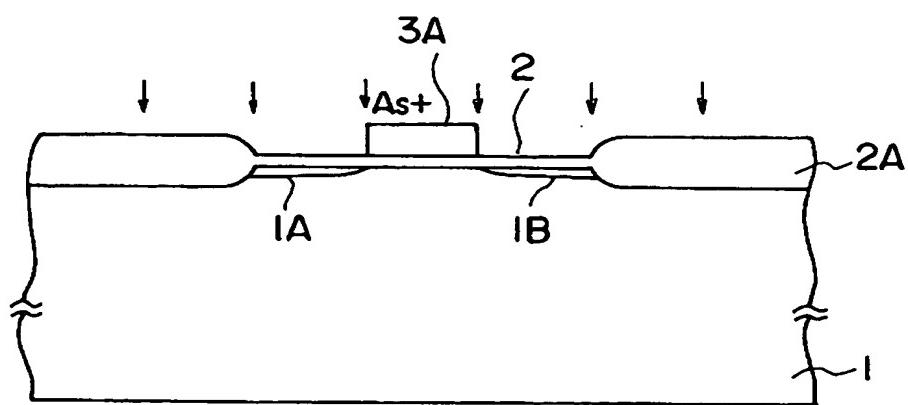
(A)



(B)



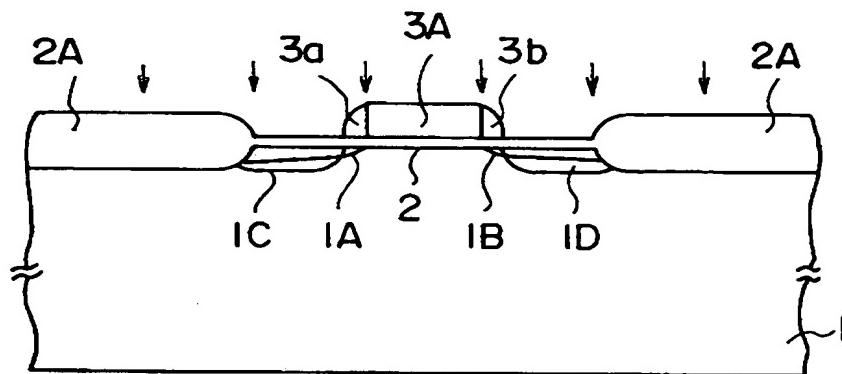
(C)



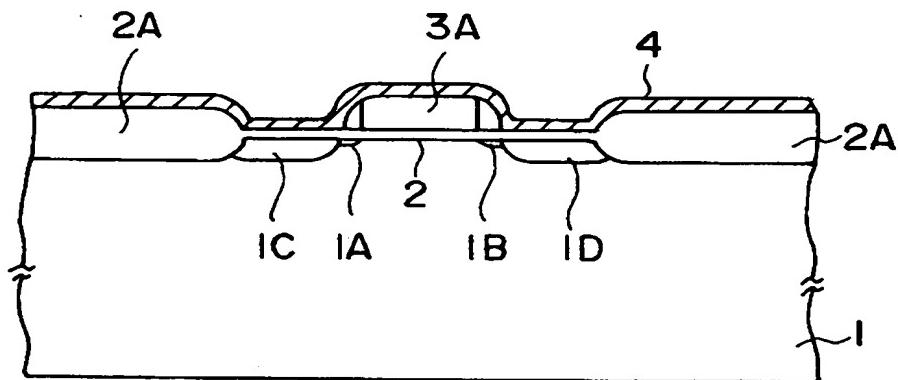
【図23】

(D)～(F)は従来の半導体装置  
の製造工程を説明する図(その二)

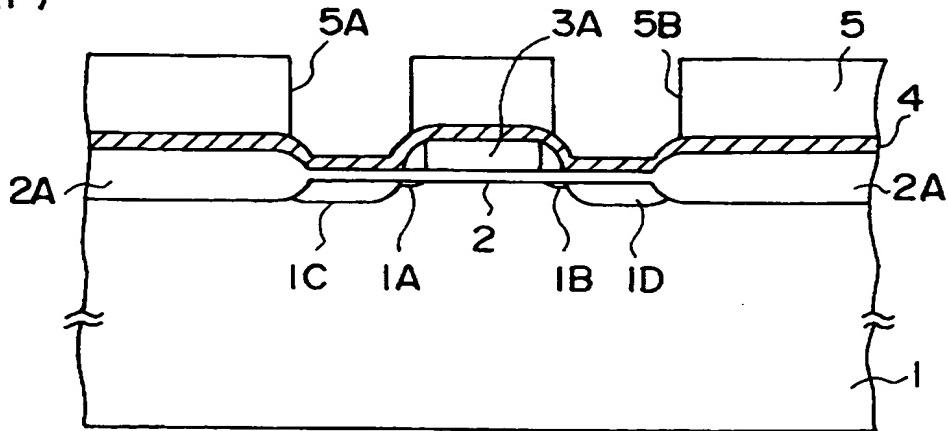
(D)



(E)



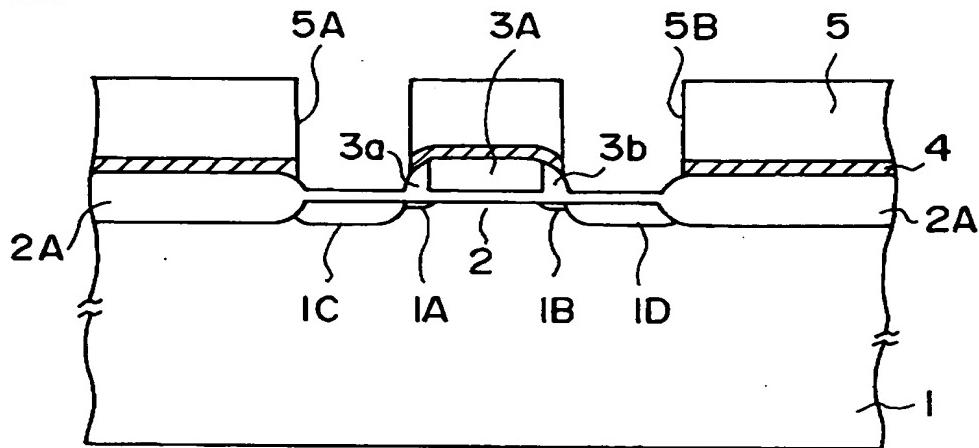
(F)



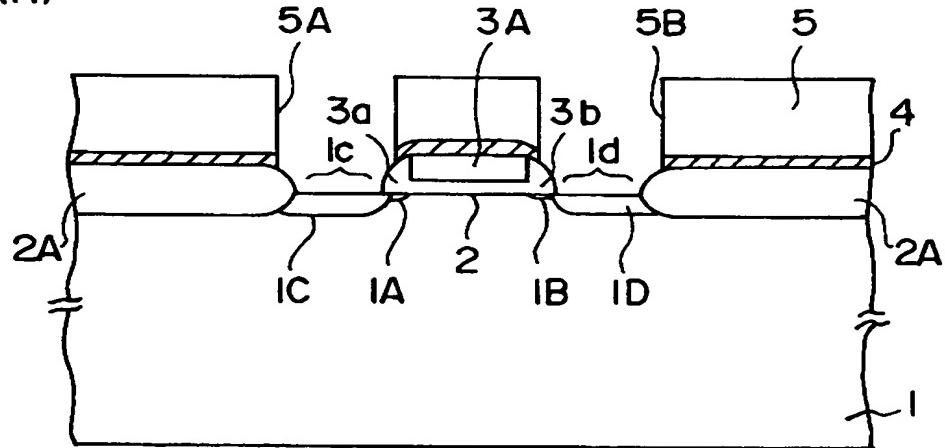
【図24】

(G)～(H)は従来の半導体装置  
の製造工程を説明する図(その三)

(G)

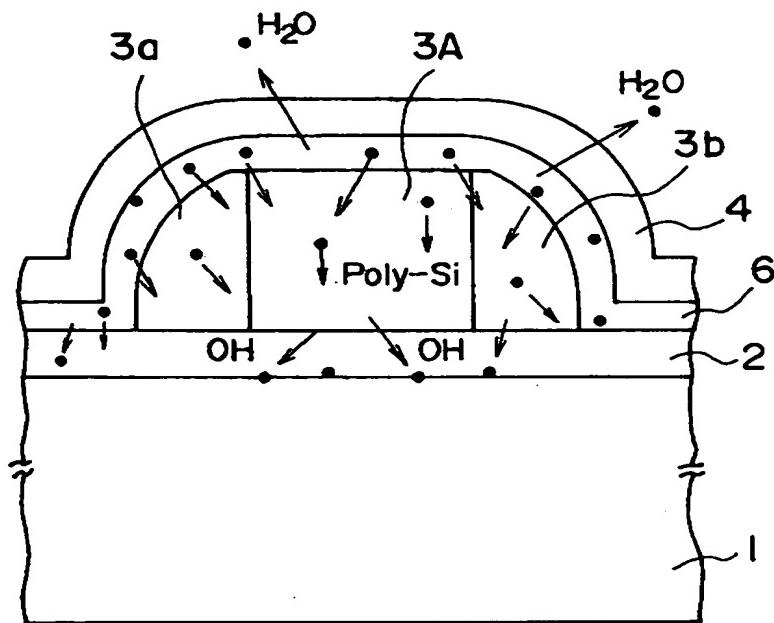


(H)



【図25】

従来の半導体装置の問題点を説明する図



【書類名】 要約書

【要約】

【課題】 拡散層にサリサイドを形成され自己整合コンタクトを有する半導体装置の製造方法において、窒化物エッチングストップ層の下に低温で形成される酸化膜中に取り込まれる H<sub>2</sub>O の量を最小化する。

【解決手段】 前記酸化膜を、プラズマ CVD 法により堆積する際に、H<sub>2</sub>O の形成が最小になるように高周波電力を 100W 以下に設定する。

【選択図】 なし

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号  
【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617  
【住所又は居所】 愛知県春日井市高蔵寺町2丁目1844番2  
【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階  
【氏名又は名称】 伊東 忠彦

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社